

Power -/ Timing – Optimierung für Zellen- basierte Digitalschaltungen in Submikron-Technologien

Heinrich T. Vierhaus*, Helmut Rossmann**

*Brandenburgische TU Cottbus, Technische Informatik

Walther-Pauer-Str. 2, 03044 Cottbus

htv@informatik.tu-cottbus.de

**CATENA Software GmbH,

Im Technologiepark 1, 15236 Frankfurt / Oder

h.rossmann@catena-ffo.de

Abstract: Der physikalische Entwurf digitaler Schaltungen auf der Basis logischer Grundzellen war lange Zeit „Stand der Technik“ und durch kommerzielle Entwurfswerkzeuge gut beherrscht. Mit der Verwendung von Deep-Submicron-Technologien verlagern sich einerseits die wirksamen Signalverzögerungen von den Gattern zu den Verbindungsleitungen, andererseits ist die Optimierung der Verbindungsstrukturen in nicht-trivialer Weise mit der Verlustleistung verknüpft. Nachfolgend werden die Probleme und erste Lösungsansätze für einen „Deep Submicron“-tauglichen Entwurfsprozess beim physikalischen Entwurf von Standardzellen-Layouts beschrieben.

1 Einleitung

Der physikalische Entwurf von Logik-Schaltungen auf der Basis von Standardzellen ist seit den 80er Jahren weitgehend automatisiert. Dabei ist der Entwurfsablauf regulär und schleifenfrei. Der Logik-Synthese folgt eine Abbildung auf verfügbare Zellen im Rahmen des „Technology Mapping“. Die dabei entstehende Netzliste bildet den Ausgangspunkt für zunächst eine Platzierung, gefolgt von einem globalen und lokalen Verdrahtungsprozess. Das Timing-Verhalten wurde, seit mehrere metallische Verbindungslagen zur Verfügung standen, vorwiegend von den Verzögerungen in Gatter-Bausteinen bestimmt. Die Ermittlung von zeitkritischen Logik-Pfaden (critical path tracing) [Ou83, DeKe91] konnte als Zwischenschritt nach dem Technology Mapping, also der Auswahl realer Gates aus Bibliotheken nach dem allgemeinen Logik-Entwurf, eingeschoben werden. Der Einfluss der Leitungsverdrahtung auf die Signallaufzeiten ist bei Submikron-Technologien nicht mehr vernachlässigbar. Er wird für die Signalverzögerungen insgesamt sogar dominierend. Es ist deshalb notwendig, nach der Verdrahtung eine Extraktion von parasitären Kapazitäten und Widerständen vorzunehmen und daraus die zusätzlichen Verzögerungen zumindest auf den kritischen Pfaden festzustellen. Ein solches Verfahren ergibt allerdings Schleifen im Entwurfsprozess: Ein unbefriedigendes Zeitverhalten auf speziellen Pfaden kann eine Iteration bedeuten, die ein völlig neues Layout ergibt, wenn die Anfangsparameter des physikalischen Entwurfs auch nur leicht geändert werden. Ein „Deep Sub-Micron“ Design Flow benötigt deshalb spezielle Eigenschaften. Die Platzierung erfolgt mit „Reserveflächen“, um zusätzliche Treiber unterbringen zu können. Deren Notwendigkeit ergibt sich aus der Berechnung von zu erwartenden Verzögerungen und Flankensteilheiten auf Verbindungsknoten jeweils direkt nach deren Verdrahtung. Eine wesentliche Änderung für den Design Flow ergibt sich dann, wenn die längsten

Pfade nicht mehr maßgeblich von Gatter-Verzögerungen, sondern überwiegend bis fast ausschließlich durch Leitungslängen bestimmt werden.

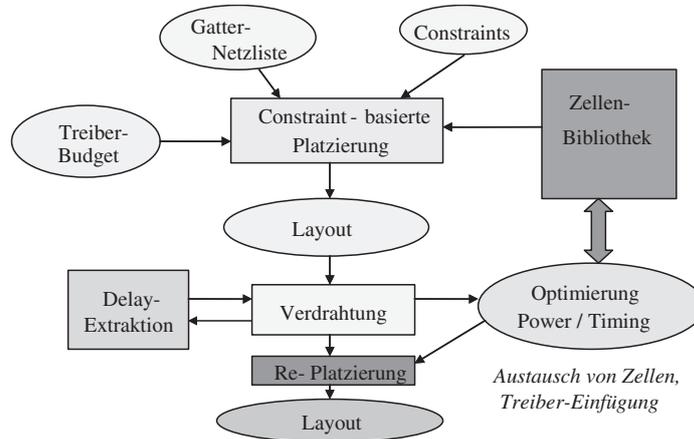


Abb. 1: Physikalischer Entwurf mit Power- / Timing- Optimierung

Dann muss die Auswahl der voraussichtlich kritischen Pfade nach einem provisorischen Placement-Prozess zu Beginn des physikalischen Entwurfs unter Berücksichtigung wahrscheinlicher Verdrahtungslängen erfolgen.

2 Zeitverhalten und Verlustleistung

Die Berechnung allein der Verzögerungseffekte, und zwar sowohl der Laufzeiten von Signalflanken auf Leitungen (50%-Delays) als auch der Signal-Anstiegszeiten (slew rates, 10 % bis 90 % des Endwertes) hat sich als schwierig zu beherrschendes Problem erwiesen. Die ersten Arbeiten von Elmore für konzentrierte Leitungselemente stammen aus dem Jahr 1948 [El48], aber erst in jüngster Zeit ist mit der Momenten-Methode [Pi-Ro90, AlDe01, AgSy04] ein Verfahren bekannt geworden, das eine ausreichende Genauigkeit in allen Teilen eines komplexeren RC- oder RLC-Netzes liefert. Die neusten Ergänzungen der Momenten-Methode [AlLi04] lassen für RC-Netze mit konzentrierten Elementen eine Berechnung der Signal-Anstiegszeiten mit Abweichungen von nur einigen % von der SPICE- Simulation zu. Nach der Berechnung von Leitungslaufzeiten und / oder Slew-Rates für einen Verbindungsknoten kann sich die Notwendigkeit für Anpassungen der Strukturen zur Verkürzung von Laufzeiten oder zur Verbesserung der Steilheit von Signalflanken ergeben. Während ein Zeit-Budget in der Regel für einen logischen Pfad in kombinatorischer Logik besteht, bei dem Korrekturen an unterschiedlichen Stellen möglich sind, muss man die Slew-Rates für interne Knoten durch lokale Modifikationen optimieren. Ein Layout mit „Reserveflächen“ ist schematisch in Abb. 2 dargestellt. Engpässe im Timing können durch eine günstigere Leitungsführung, den Einbau von Quellen höherer Leistung und den Einbau von Treibern in Zwischenknoten behoben werden. Der Einfluss solcher Maßnahmen auf die Verlustleistung ist nicht-trivial. In die

Berechnung gehen die Innenwiderstände der Quellen, die Leitungsparameter, aber auch Querströme und Ruhe-Verlustleistungen von Treibern ein.

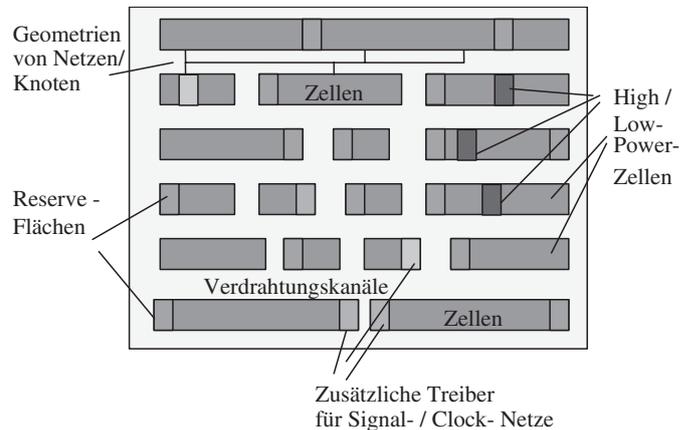


Abb. 2: Layout mit Reserveflächen und Optionen zur Verbesserung von Zeit-Eigenschaften

Bei Verwendung einer geringen Anzahl von alternativen Quellen und Treibern mit genormter Stärke lässt sich die jeweils relative Verlustleistung für unterschiedliche Treiber-Konfigurationen errechnen. Dies wird mindestens für Knoten auf zeitkritischen Pfaden notwendig sein. Es ist aber vorstellbar, auch bei nicht-kritischen Knoten durch gezielte Verringerung von Treiber-Größen und nachfolgende Validierung die Leistungsbilanz der Schaltung zu verbessern.

3 Power-Timing-Optimierung im Design Flow

Eine gezielte Power /Timing-Optimierung während der Verdrahtung (mit ggf. notwendigen Anpassungen der Platzierung) ist derzeit noch nicht „Stand der Technik“.

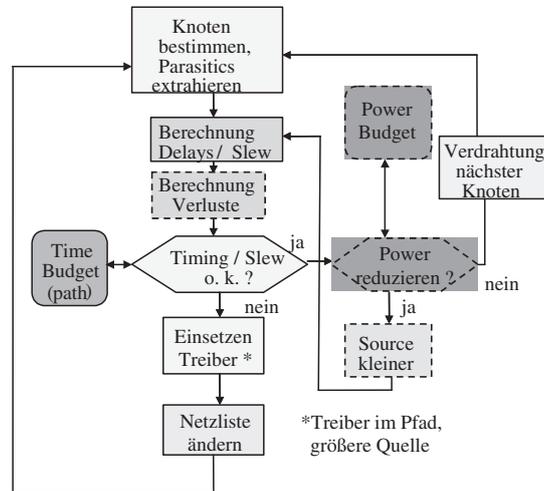


Abb. 3: Design Flow mit Timing- plus (gestrichelt) Power-Optimierung

In einem systematischen Ansatz dazu (Abb. 3) existiert für die Schaltung ein „Power Budget“ und ein, typischerweise für kritische Pfade speziell optimiertes, „Timing-Budget“. Zusätzlich ist wäre eine Gewichtung der einzelnen Schaltelemente mit der relativen Häufigkeit von Signalwechseln, ableitbar aus einer funktionalen Simulation, notwendig. Nach der Verdrahtung eines Knotens wird festgestellt, ob Grenzen des Timing verletzt sind, also z. B. ob eine zulässige Slew-Rate überschritten wird oder ob ein Zeit-Budget, das einem Pfad (kumulativ) oder einem Pfad-Abschnitt zugeordnet ist, überschritten wird. Optional wird auch die mit der Verdrahtung verbundene Verlustleistung (pro Umschalt-Vorgang) berechnet. Bei Verletzung von Grenzwerten ist ein Verstärkung von Quellen oder der Einbau von Treibern möglich. Optional kann auch bei zulässigem Timing die Möglichkeit der Reduzierung von Treiberstärken zur Verbesserung des Power-Budgets insgesamt geprüft werden, und zwar vorrangig auf häufig bewegten Pfaden bzw. Knoten.

4 Status der Arbeiten und weitere Entwicklungen

Entwickelt und partiell implementiert wurde die Funktion der Berechnung von Delays und Slew-Rates auf Verbindungsknoten. Mittels der Momenten-Methode werden derzeit für die Signallaufzeiten etwa 10% maximaler Abweichungen von exemplarischen SPICE-Simulationen erreicht. Im nächsten Schritt soll die Ermittlung relativer Verlustleistungen in Abhängigkeit von den Treiber-Konfigurationen folgen.

Da die Verfügbarkeit von zusätzlichen Treibern dabei selbst wieder von der Lage von Ersatzflächen im Layout abhängt, sind die Nebenbedingungen nicht trivial.

5 Acknowledgement

Die hier beschriebenen Arbeiten wurden und werden im Rahmen des Verbundprojekts „LEMOS“ vom Bundesminister für Bildung und Forschung (BMBF) gefördert. Wir danken Herrn Dr. Werner Schiele (Infineon Technologies AG, München) für viele wertvolle Hinweise.

Literaturverzeichnis

- [DeKe91] S. Devadas, K. Keutzer, S. Malik, „Delay computation in combinational logic circuits: theory and algorithms“, Proc. ICCAD-91, IEEE Computer Society, 1991, pp. 176-179
- [Ou83] J. K. Ousterhout, „Crystal: A Timing Analyzer for nMOS VLSI Circuits“, Proceedings Third Caltech Conference on VLSI, Ed. R. Bryant, Computer Society Press, Rockwell, MD, 1983, pp. 57-69
- [El48] W. C. Elmore, „The transient response of damped linear networks with particular regard to wideband amplifiers“, J. Appl. Physics, Vol. 19, pp. 55-63, 1948
- [AlDe01] C. J. Alpert, A. Devgan, C. V. Kashyap, „RC Delay Metrics for Performance Optimization“, IEEE Trans. CAD of ICs, Vol. 20, No. 5, May 2001
- [AgSy04] K. Agarwal, D. Sylvester, D. Blaauw, „A Simple Metric for Slew Rate of RC Circuits Based on Two Circuit Moments“, IEEE Trans. On CAD of Integr. Circuits and Systems, Vol. 23, No. 9, Sept. 2004, pp. 1346-1354
- [AlLi04] C. J. Alpert, F. Liu, C. V. Kashyap, A. Devgan, „Closed-Form Delay and Slew Metrics Made Easy“, IEEE Trans. CAD, Vol. 23, No. 12, Dec. 2004, pp. 1661-1669
- [Sa93] T. Sakurai, „Closed Form Expressions for Interconnect Delay, Coupling, and Crosstalk in VLSI's“, IEEE Transactions on Electron Devices, Vol. 40, No. 1, January 1993, pp. 118-124
- [PiRo90] L. T. Pillage, R. A. Rohrer, „Asymptotic Waveform Evaluation for Timing Analysis“, IEEE Transactions on CAD, Vol. 9, No. 4, April 1990, pp. 352-366