Das Echtzeitsystem c't 68000 GWK

Harald Klappa

1 Einführung

Themenstellung des vorliegenden Berichtes war zuerst allein der bei uns entwickelte und gefertigte Rechner c't 68000 GWK.

Angeregt durch die Einordnung des Vortrages in die Themengruppe "Unkonventionelle Rechnerarchitekturen" möchte ich jedoch an dieser Stelle besonders die Möglichkeiten darstellen, die sich durch den Verbund des c't 68000 mit VMEbus Systemen ergeben.

Dieser Verbund eröffnet mit seiner dualen Busstruktur, es wird zwischen globalen und lokalen Zugriffen unterschieden, Möglichkeiten in der Echtzeitverarbeitung von Messwerten und Prozessdaten, die mit vergleichbaren Microcomputer Systemen bisher nicht zu realisieren waren.

2 Das System c't 68000 GWK

2.1 Überblick

Der c't 68000 GWK ist entstanden aufgrund einer Anregung und in enger Zusammenarbeit mit der Zeitschrift c't Magazin für Computertechnik.

Er wurde konzipiert als preiswerter Universalrechner für technische und wissenschaftliche Anwendungen im Bereich der Messwerterfassung, Messwertverarbeitung und Prozesskontrolle.

Bedingt durch die Zusammenarbeit mit der Zeitschrift ist das System von der Dokumentation her sehr offen gehalten. Neben den Schalt- und Bestückungsplänen werden auch die logischen Gleichungen der verwendeten PAL Bausteine veröffentlicht.

2.2 c't 68000 GWK Beschreibung

Der c't ist ein modular aufgebauterechter Rechner, dessen einzelne Funktionsmodule über eine 16 Bit breite interne Querverdrahtung miteinander kommunizieren, die im wesentlichen die Anschluss Belegung der CPU 68000 widerspiegelt. Diese ist jedoch nicht als anwenderverfügbarer Bus zu betrachten, da sie von ihrer Treiberleistung her nur für einen sehr begrenzten Ausbau geeignet ist.

Der eigentliche Systembus wird dem Anwender durch ein System Bus Interface (SBI) zur Verfügung gestellt. Es stehen zwei solcher Interfaces zur Verfügung. Eines mit einer externen Datenbreite von 8 Bit für den GWK EBCS Standard Bus - hier sind zahlreiche Interface und I/O Karten verfügbar - und ein zweites mit 16 Bit Datenbreite und einer zur internen Querverdrahtung des c't kompatiblen Busbelegung.

Die Module sind auf Platinen im einfach Europaformat untergebracht und gliedern sich wie folgt:

- o CPU- Modul mit 8 MHz CPU, Systemtaktoszillator, Betriebsspannungsüberwachung, Single Step Logik, Reset- und Abortlogik, Bus Error Logik, Puffer Batterie für CMOS RAM und 8 Steckplätze, die wahlweise mit EPROM oder CMOS RAM bestückt werden können.
- o DRAM- Modul mit wahlweise 256 K oder 1 MByte dynamischem RAM. Eigene Refreshsteuerung.
- o IOFDC- Modul mit Floppy Disc Controller und I/O Schnittstellen für Terminal bzw. Tastatur, serielle Kommunikation und parallelen CENTRONICS Druckeranschluss. Weiterhin Timer 3 * 16 Bit und Echtzeituhr mit Batteriepufferung.
- o SBI EBCS- Modul als Systembus Interface zum 8 Bit breiten EBCS Standard Bus. Ablaufsteuerung der 16 Bit zu 8 Bit Transformation, Interrupt Handler mit Priorisierung und Bustreiber.
- o SBI ICS- Modul als Systembus Interface zum 16 Bit breiten ICS Bus. Interrupt Handler mit Priorisierung und Bustreiber.
- o GDP- Modul als optionaler Graphik Prozessor. Ausgestattet mit NEC 7220 und 128 KByte Bildwiederholpeicher für 1024 * 1024 Pixel. Erweiterungsmöglichkeit für Farbdarstellung.

3 GWK VME CPU 68K

3.1 Überblick

Die GWK VME CPU 68K PCU wurde konzipiert als Prozess Steuer Karte, (Process Control Unit PCU), die in besonderem Maße für den Einsatz in der schnellen

Messwerterfassung, der Steuerungs- und Regeltechnik sowie bei allen Aufgaben der Prozesskontrolle in Single und Multi Prozessor Systemen geeignet ist.

Sie basiert auf der mächtigen 68000 CPU und dem international genormten Industrie Standard VMEbus. Das VMEbus Interface erfüllt in allen Punkten die VME Spezifikation Rev. B. Es enthält den Interrupt Handler, Bus Requester und einen Four Level Bus Arbiter.

Entsprechend der Konzeption als Prozesscontroller wurde auf die üblichen Ausstattungsmerkmale von Standard CPU-Karten verzichtet und statt dessen Funktionen implementiert, die für Prozessanwendungen nützlich sind.

Die ausschliessliche Verwendung statischer Speicher, es stehen 10 Steckplätze wahlweise für EPROM oder CMOS RAM mit Batteriepufferung frei konfigurierbar zur Verfügung, unterstützt schnelle Echtzeitanwendungen.

Die Karte verfügt über eine batteriegepufferte Echtzeituhr, einen Timer/Counter 3 * 16 Bit, ein Status Display mit 7 Segment LED und eine serielle Schnittstelle RS 232 C.

Durch den eingebauten Watchdog mit wählbarer Intervallzeit und durch die ebenfalls auf der Karte befindliche Betriebsspannungs-überwachung in zwei Ebenen mit Power Fail Interruptauslösung wird die Störsicherheit in Langzeit Anwendungen erheblich gesteigert.

Ein Arithmetikprozessor (NS 32081) kann als optionale Ausstattung nachgerüstet werden.

Der interne Bus der CPU ist als Local Bus über den P2 Connector voll gepuffert und DMA fähig herausgeführt. Er bietet schnellen Zugriff auf Speicher und I/O Bausteine und ermöglicht den Aufbau hierarchischer Multiprozessor Systeme.

3.2 Technische Beschreibung GWKVME CPU 68k PCU

Auf eine eingehende technische Beschreibung aller oben oben aufgeführten Eigenschaften soll verzichtet werden. Lediglich die Businterfaces sollen etwas intensiver behandelt werden.

3.2.1 VMEbus Interface

Die Karte verfügt über ein in allen Punkten der VME Spezifikation Rev.B entsprechendes VMEbus Interface

mit Interrupt Handler und optionaler Bus Arbitration. In ihrer Standardausführung kann sie als Bus Master in Single CPU Systemen und als Slave in Multiprozessor Systemen verwendet werden.

Bus Requester und Arbiter sind auf einer Huckepack Platine untergebracht und können optional nachgerüstet werden. Der Arbiter bietet die Betriebsarten: Priority, Round Robin, One Level und Arbiter Off. Mit dem Requester ist der Betrieb im Release on Request Modus und im Release when done Modus möglich. Hiermit ist vollständiger Multimaster Betrieb in mehrfach Prozessor Systemen möglich.

3.2.2 Lokaler Bus

Besonderes Augenmerk verdient der über den P2 Steckverbinder herausgeführte lokale Bus.

Dieser lokale Bus führt sämtliche Systemsignale der CPU. Er ist voll gepuffert und DMA fähig. Da er nicht durch ein aufwendiges Busprotokoll belastet ist, ermöglicht er einen schnellen Zugriff nicht nur auf weitere Speicher sondern auch auf I/O Module. Wir nennen ihn ICSbus (Industrial Control System). Seine Pinbelegung ist kompatibel zum internen Bus des c't 68000 GWK.

Mit Hilfe der vom c't zur Verfügung stehenden Komponenten (DRAM, Floppy Controller, Schnittstellen), kann das ursprüngliche Zielsystem zum komfortablen Entwicklungssystem ausgebaut werden, das Entwicklung und Test der Anwendersoftware unter realen Randbedingungen ermöglicht.

In erster Linie aber ermöglicht dieser herausgeführte Lokale Bus den Aufbau hierarchischer Multiprozessor-systeme.

4 Bussysteme

4.1 Der ICSbus

Der ICSbus ist von seiner Struktur her recht einfach gehalten. Er besteht im Prinzip aus den von der CPU 68000 zur Verfügung gestellten Daten, Adress und Steuerleitungen, die gepuffert herausgeführt sind. An Stelle der CPU Signale IPL0 bis IPL2 und der Function Codes stehen auf dem Bus die Interrupt Request Leitungen für die Level 1 bis 7 und die IACKIN/IACKOUT daisy chain zur Verfügung.

Im Gegensatz zum VMXbus ist der ICSbus nicht durch ein aufwendiges Protokoll belastet und ist auch

nicht nur auf Speicherzugriffe beschränkt. Er bietet daher die Möglichkeit sehr schneller Zugriffe und Datentransfers mit Speicher- und I/O Baugruppen. Einschränkend muß bemerkt werden, daß der ICSbus nicht multiprozessorfähig ist.

4.1 Der VMEbus

An dieser Stelle soll nicht zum wiederholten Male eine Aufzählung aller Vorteile und Leistungsmerkmale des VMEbus Konzeptes stattfinden, da diese wohl'als bekannt vorausgesetzt werden können. Eine Bemerkung sei mir jedoch gestattet.

Das VMEbus Konzept erfordert von allen Komponenten, seien es CPU Karten, Speichereinheiten oder I/O Module, einen wesentlich höheren Bauelementeaufwand als einfache Bussysteme. Der hierdurch verursachte höhere Preis der VMEbus Komponenten findet seine Rechtfertigung aber erst dann, wenn die eingekaufte Leistungsbandbreite auch ausgenutzt wird. Das findet in der Regel nur in Multiprozessorsystemen statt.

An diesem Punkt aber beißt sich die Katze in den Schwanz. Arbeiten nämlich auf einem Bus mehrere CPU Karten oder andere Busmaster, die auf Arbeitsspeicher, Massenspeicher oder Interface Karten zugreifen müssen, wird der Bus durch die Vielzahl der Transfers, die jeweils mit dem Protokoll belastet sind, derart blockiert, daß von der theoretisch möglichen Leistungssteigerung nur ein geringer Teil übrig bleibt.

Es wird im allgemeinen gesagt, daß in konventionell aufgebauten Systemen ab der vierten CPU eine Verbesserung des Durchsatzes nicht mehr zu erreichen sei.

4.3 Hierarchische Busstruktur

Das im vorhergehenden Abschnitt dargestellte Problem läßt sich sehr wirkungsvoll und elegant durch Einführung einer hierarchischen Busstruktur lösen.

Jede CPU hat die Möglichkeit, über ihr lokales Businterface auf lokalen Speicher und auf lokale Ein/Ausgabekanäle zuzugreifen. Das bewirkt, daß der VMEbus durch diese Transfers nicht mehr belastet wird. Er wird nur noch herangezogen zur Kommunikation der einzelnen CPU's untereinander und zum Zugriff auf globale Speicher oder I/O Geräte.

Durch die hier dargestellte unkonventionelle Systemarchitektur wird erreicht, daß Leistungsfähigkeit und Durchsatz von Multiprozessor Systemen annähernd proportional der Anzahl der eingesetzten CPU's zunehmen. Als Nebeneffekt ergibt sich die Möglichkeit, in einem solchen System weit mehr als die allein über den VMEbus zu adressierenden 16 MByte Arbeitsspeicher zur Verfügung zu stellen.

5 Software

Wie in den vorhergehenden Abschnitten verdeutlicht, sind die beiden Systemfamilien c't 68000 GWK und GWKVME sehr eng miteinander verbunden. Aus diesem Grunde ist auch bei der Softwareausstattung darauf geachtet worden, daß beide Systeme absolut Softwarekompatibel sind. Diese Kompatibilität geht soweit, daß Betriebssysteme und Anwenderprogramme ohne Änderung von einem System auf das andere übertragen werden können.

Zur Standardausstattung gehört ein PEARL Compiler und das hierfür optimierte Echtzeit Betriebssystem RTOS(UH). Beide wurden am Institut für Regelungstechnik der Universität Hannover von Professor Gerth entwickelt und auf die vorgestellten Systeme portiert. Für die uns hierbei gewährte Unterstützung sei Professor Gerth und seinen Mitarbeitern an dieser Stelle gedankt.

Über RTOS und PEARL hier viele Worte zu verlieren, hieße Eulen nach Athen zu tragen. Auch die beiden anderen optional verfügbaren Betriebssysteme OS-9/68000 und CP-M/68K sollen nur namentlich erwähnt werden, da über beide schon an anderer Stelle berichtet wurde.

Sieht man vom CP-M/68K ab, das nicht als Echtzeitsystem bezeichnet werden kann, so ist es für die Funktion der weiter oben vorgestellten hierarchischen Systemarchitektur auch unerheblich, welches Betriebssystem verwendet wird.

6 Ausblick

Sinn dieses Berichtes war es, darzustellen, wie durch unkonventionelle Rechnerarchitekturen Leistungsbandbreiten geboten werden, die auf konventionelle Art mit Micros noch nicht und erst recht nicht zu vergleichbaren Preisen machbar waren.