

## Energieoptimierung durch Adiabatische Schaltungstechnik

Jürgen Fischer, Philip Teichmann, Ettore Amirante, Doris Schmitt-Landsiedel

Lehrstuhl für Technische Elektronik  
Technische Universität München  
Theresienstraße 90  
80290 München  
juergen.fischer@tum.de

In der statischen CMOS-Schaltungstechnik wird bei einem Umschaltvorgang mindestens eine Energiemenge von  $\frac{1}{2} CV_{DD}^2$  verbraucht. Benötigt die Anwendung nur moderate Frequenzen für die Verarbeitung kann durch adiabatische Schaltungstechnik der Energieverbrauch pro Takt deutlich unter diese Grenze abgesenkt werden. Ein Vergleich der Einsparungspotentiale für Einzelgatter verschiedener Logikfamilien wird für eine 130nm CMOS Technologie präsentiert. Anhand dieses Vergleiches wird gezeigt, dass latch-basierte adiabatische Logikfamilien mit differentiellen Signalen das größte Energieeinsparungspotential aufweisen. Zur Überprüfung der simulierten Ergebnisse wurde ein 8bit Ripple Carry Adder in Positive Feedback Adiabatic Logic (PFAL) gefertigt und gemessen. Sein Energieverbrauch weist eine deutliche Einsparung gegenüber der statischen CMOS Implementierung auf. Zusätzliche Messergebnisse werden vorgestellt, die eine aus der Theorie hergeleitete, weitere Abnahme der Energiedissipation mit der Versorgungsspannung bestätigen. Die gewonnenen Erkenntnisse ermöglichen die Entwicklung eines COordinate Rotation Digital Computer (CORDIC), der als grundlegender Funktionsblock in energieeffizienten Algorithmen der digitalen Signalverarbeitung eingesetzt werden kann. Ein CORDIC besteht zum Großteil aus Addierern, wobei eine Wortbreite von 16bit für die Genauigkeit in Anwendungen der digitalen Signalverarbeitung, wie z.B. digitalen Filtern oder Beamforming ausreichend ist. Ein in einer 0,13 $\mu$ m CMOS Technologie simulierter 16bit Carry Lookahead Addierer wird als Grundlage für die Abschätzung des Einsparungspotentials eines Gesamtsystems verwendet.