

Datenskalierung für die verlustleistungsarme Signalverarbeitung in Prozessorsystemen

Matthias Müller, Sven Simon
Institut für Informatik und Automation
Hochschule Bremen, Flughafenallee 10, 28199 Bremen
Sven.Simon@hs-bremen.de

Abstract: Dieser Beitrag ist in dem DFG-Projekt „Entwurf und Implementierung verlustleistungsarmer Architekturen von digitalen Filtern für Software Defined Radio“ entstanden, das gemeinsam mit dem Lehrstuhl für Netzwerktheorie und Signalverarbeitung von Herrn Professor Nossek an der Technischen Universität München durchgeführt wird.

Zusammenfassung

Zahlreiche Anwendungen der digitalen Signalverarbeitung erfordern oftmals nur einen eingeschränkten Wertebereich der Zahlendarstellungen, so dass für die Hardware- oder Software-Implementierung der Algorithmen Festkommazahlen statt Gleitkommazahlen verwendet werden. Dadurch wird für Software-Implementierungen der Berechnungsaufwand verringert bzw. für Hardware-Implementierungen die Schaltungskomplexität und damit Flächenbedarf und Verlustleistung reduziert oder die Durchsatzrate erhöht. Bei Festkomma-Implementierungen weicht vielfach die spezifische Wortbreite eines Algorithmus von der Wortbreite des verwendeten Prozessors ab. Ursache hierfür ist zum einen, dass bei der Abarbeitung verschiedener Algorithmen auf einem Prozessor die maximal erforderliche Wortbreite für die Prozessorimplementierung zu wählen ist. Zum anderen sind Implementierungen von Prozessorarchitekturen vielfach auf eine feste Wortbreite (16, 24, 32 Bit) ausgelegt, die nicht algorithmenspezifisch angepasst wird. Durch diese zu große Wortbreite der Prozessor-Implementierung wird unnötig Verlustleistung erzeugt. Gegenstand des Beitrags ist eine Maßnahme zur Reduktion der Verlustleistung verursacht von den nicht benötigten Teilen der Datenworte. Dadurch kann die Verlustleistung eines Großteils der gesamten Prozessor-Architektur reduziert werden (z.B. ALU, Datenspeicher, Datenbusse). Die Maßnahme zeichnet sich gegenüber schaltungstechnischen Maßnahmen zur Maskierung von Teilen des Datenwortes, die aus der Literatur bekannten sind, dadurch aus, dass Datenmanipulationen ggf. nur an den Eingangs- und Ausgangsdaten des Algorithmus nicht aber Modifikationen der Hardware, die alle Datenworte betreffen, erforderlich sind. Dies führt im Allgemeinen zu einer stärkeren Reduktion der Verlustleistung und erfordert keinen Eingriff in die Prozessor-Implementierung. Berechnungen sowie Simulationen bezüglich der Verlustleistung zeigen, dass in den betrachteten Fällen die Verlustleistung eines Hardware-Multiplizierers um 30% (24 Bit Daten, 32 Bit Datenpfad) bis 60% (16 Bit Daten, 32 Bit Datenpfad) reduziert werden kann.