

Parallele Signalverarbeitung mit adiabatischer Logik

Marius Vollmer und Jürgen Götze
Arbeitsgebiet Datentechnik, Universität Dortmund
juergen.goetze@uni-dortmund.de

Adiabatische Logik ist ein vielversprechender Ansatz zur Reduktion der Leistungsaufnahme integrierter digitaler Schaltungen. Allerdings unterscheiden sich die Grundbausteine der adiabatischen Logik in einigen signifikanten Punkten von denen der traditionellen, statischen CMOS Logik. Diese Unterschiede wirken sich bis zu recht hohen Ebenen des Entwurfsprozesses aus.

Bei adiabatischer Logik sind bereits so grundlegende Blöcke wie ein Inverter oder ein NAND-Gatter synchrone Bauteile. Jedes dieser Gatter wird mit einem Takt versorgt und verhält sich wie ein Register. Damit bilden Verschaltungen dieser Gatter automatisch lange Pipelines. Dieser Tatsache wird von existierenden Werkzeugen zum automatisierten Schaltungsentwurf noch nicht Rechnung getragen, da möglicherweise die Register einer Schaltung explizit instanziiert werden müssen und daher als unerwünschte Konsequenz die Beschreibung einer adiabatischen Schaltung auf niedriger Ebene erfolgen muss. Mit zunehmender Regularität einer Schaltung, wie sie häufig bei parallelen Signalverarbeitungsalgorithmen vorliegen, vereinfacht sich dies, da die strukturellen Abstraktionsmöglichkeiten der Werkzeuge auch für adiabatische Logik zur Verfügung stehen.

Weiterhin werden lange Pipelinestrukturen gut durch hohe Parallelität im zu implementierenden Algorithmus ergänzt. Die Pipelineebenen stellen parallele Recheneinheiten dar, auf denen unter günstigen Umständen unabhängige Operationen des Algorithmus gleichzeitig zur Ausführung gebracht werden können. Im Vergleich zu statischer CMOS Logik wirkt sich die Einsparung der Verlustleistung bei adiabatischen Schaltungen signifikant nur bei relativ niedrigen Frequenzen aus. Um auch bei niedrigen Frequenzen, die in der Signalverarbeitung häufig vorhandenen Echtzeitanforderungen zu erfüllen, müssen parallele Architekturen realisiert werden.

Ausschließlich aufbauend auf einfachen adiabatischen Festpunkt-Addierern wurde eine Architektur zur Durchführung vielfältiger Signalverarbeitungsalgorithmen entworfen und verifiziert. Die Architektur berücksichtigt in ihrem Entwurf die Besonderheiten adiabatischer Logikfamilien. Sie ist als phasen- und bit-genaues VHDL-Programm realisiert. Die Architektur ist weitgehend parametrisiert, so dass aus ihrer Beschreibung automatisch Varianten abgeleitet werden können, die an die Anforderungen verschiedener Anwendungen bezüglich Problemgröße, Zahlendarstellung und Rechengenauigkeit angepasst sind. Eine konkrete Variante der Architektur ist weiterhin zur Laufzeit konfigurierbar und kann so einerseits unverändert für unterschiedliche Anwendungen eingesetzt werden (z.B. adaptiver RLS-Filter als auch DFT). Zur Demonstration ist ein adaptiver RLS-Filter und ein Beamformer implementiert worden.