

Verbesserung des Durchsatzes und der Zuverlässigkeit von drahtlosen Ultrahochgeschwindigkeitskommunikationen auf data link layer Ebene ¹

Lukasz Lopacinski²

Abstract: Das Entwerfen von drahtlosen 100 Gbps Netzwerken ist eine herausfordernde Aufgabe. Ein serieller Reed-Solomon-Decodierer für die angestrebte Datenrate muss mit einer ultra hohen Taktfrequenz von 12,5 GHz arbeiten, um die Zeitbegrenzungen der Übertragung zu erfüllen [Lo15]. Das Empfangen eines einzelnen Ethernet Frames auf der physischen Ebene kann schneller ablaufen, als der Zugriff auf den DDR3 Speicher [He09]. Darüber hinaus muss der Data-Link-Layer der drahtlosen Systeme mit einer hohen Bitfehlerrate (BER) arbeiten. Die BER in der drahtlosen Kommunikation kann um mehrere Größenordnungen höher liegen, als in drahtgebundener Kommunikation. Um Forward-Error-Correction auf aktuellsten FPGA zu betreiben, benötigt man einen höchst parallelisierten Ansatz. Daher müssen neue Verarbeitungskonzepte für schnelle drahtlose Kommunikation entwickelt werden. Aufgrund dieser genannten Fakten, und da er auch nicht von anderen Systemen übernommen werden kann, sollte der Data-Link-Layer für die drahtloses 100G Kommunikation als neue Forschung in Betracht gezogen werden. Diese Dissertation liefert eine detaillierte Fallstudie über ein 100 Gbps Data-Link-Layer Design, wobei der Hauptfokus auf der Verbesserung der Zuverlässigkeit für drahtlose Ultra-Hochgeschwindigkeits-Kommunikation liegt. Zuerst werden die Beschränkungen der verfügbaren Hardware-Plattformen identifiziert (Speicherkapazität, Speicherzugriffszeit und die Anzahl logischer Zellen). Danach wird ein FPGA Beschleuniger gezeigt, welcher auf dem Data-Link-Layer 118 Gbps an Benutzerdaten verarbeitet. Am Ende wird die ASIC-Synthese betrachtet und eine detaillierte Statistik der verbrauchten Energie gezeigt.

1 Einführung

Die Anzahl von drahtlos gesteuerten Geräten steigt mit jedem Jahr und fast in jedem Haus befinden sich Geräte, wie zum Beispiel Garagenöffner oder Smartphones. Normalerweise brauchen sie keine extrem hohen Datenraten. Allerdings findet man schon heute Anwendungen, für die verfügbare Technologien zu langsam sind. Eine solche Anwendung basiert auf der sog. Virtual-Reality (VR) Technologie. Eines der größten Probleme beim VR-Anwendungen ist die begrenzte Leistung aktueller drahtloser Kommunikationstechnologien. Zum Beispiel verlangen manche VR-Szenarien extrem hohe Datenraten, und sehr kurze Latenzzeiten von $< 1\text{ms}$ [FA14]. Zusätzlich müssen die neuen drahtlosen Technologien in kleine, batteriebetriebenen Geräten integriert werden. Solche extremen Anforderungen machen die Forschung für künftige drahtlose Kommunikation besonders anspruchsvoll: Drahtlose Technologie für Zukunftsanwendungen muss um den Faktor 100 beschleunigt werden, der Energieverbrauch darf aber nicht steigen. Deswegen muss der

¹ Englischer Titel der Dissertation: "Improving goodput and reliability of ultra-high-speed wireless communication at data link layer level"

² IHP, lopacinski@ihp-microelectronics.com

Energieverbrauch pro Bit etwa um das Hundertfache gesenkt werden. Diese Arbeit befasst sich mit künftiger drahtloser Kommunikation, mit extrem hohen Datenraten von 100 Gbps und mehr und untersucht insbesondere die Sicherungsschicht (Schicht 2 des OSI-Modells) für solch schnelle, drahtlose Systeme. Zusätzlich zur Realisierung dieser extrem hohen Datenrate soll das gesamte Übertragungssystem nur ca. 1 Watt Leistung verbrauchen. Aus diesem Grund müssen alle verwendeten Algorithmen entsprechend der verbrauchten Energie signifikant verbessert und vollständig parallel ausgeführt werden. Daher schlägt die Arbeit einen neuen Dekodierer-Algorithmus für 100-Gbps-Turbo-Product-Codes [Tz16] vor, der effizienter gegenüber Bitfehlern ist und ca. 25% weniger Energie verbraucht. Zusätzlich wird eine weitere Reed-Solomon-Lösung [Wa16] für die gegebene Anwendung übernommen und bietet eine extrem hohe Datenrate, 169 Gbps @ 220 MHz im Virtex7 FPGA, bei sehr geringem Hardware- und Energieaufwand (mehr dazu in Abschnitt 4). Alle Paketbestätigungs-, Fragmentierungs-, Aggregierungs-, Linkadaptierungs- und Frame-Verarbeitungs-Algorithmen werden ohne Datenabhängigkeiten implementiert und vollständig parallel ausgeführt mit einem Netto-Durchsatz von ca. 118 Gbps. Die Konzepte und Modelle dieser Arbeit wurden nicht nur mit analytischer Evaluierung bestätigt, sondern auch implementiert und mit FPGA-Plattformen gründlich evaluiert. Dieser Ansatz erreicht eine Datenrate von ca. 118 Gbps, die etwa 400x schneller als der neuste Mobilfunkstandard LTE ist. Die auf 40 nm basierte ASIC Implementierung verbraucht dabei nur ca. 10 pJ/Bit. Die hier dargestellte Lösung für drahtlose Verbindungen mit Datenraten über 100 Gbps ist eine der Ersten (wahrscheinlich die Erste) weltweit.

2 Herausforderungen der drahtlosen 100 Gbps Data Link Layer

Obwohl heutige drahtgebundene Kommunikationsstandards, wie Ethernet oder Glasfaser, hohe Datenraten von 100 Gbps erreichen, lassen sich solche Ansätze für drahtlose Kommunikation nicht einsetzen. Der Grund dafür liegt an der viel höheren Fehlerrate bei drahtlosen Verbindungen. Deswegen können die Implementierungen in den drahtgebundenen Netzwerken nicht effizient mit hohen Bitfehlerraten umgehen. Eine andere Besonderheit der drahtlosen Kommunikation ist die Komplexität im Duplexbetrieb. In drahtgebundenen Netzen braucht man einfach ein separates Kabel für jede Kommunikationsrichtung und die Netzgeräte können gleichzeitig senden und empfangen. Im Gegensatz dazu erlaubt eine typische drahtlose Verbindung, die Daten nur zu senden oder zu empfangen, und arbeitet typischerweise im sog. half-duplex. Aus diesen Gründen lassen sich die aktuellen Lösungen für drahtgebundene Netze nicht für drahtlose Kommunikation einsetzen. Daher müssen neue innovative Lösungen erforscht werden.

Die Sicherungsschicht braucht Speicher für die empfangenen und ausgehenden Pakete. Selbstverständlich darf auch der Speicher keine großen Latenzzeiten verursachen, damit hohe Datenraten unterstützt werden. Zusätzlich braucht diese Schicht mindestens 12 GB Speicherplatz für die Daten aus der letzten Sekunde. So viel Platz kann man nur in einen dezidierten Speicher schreiben, zum Beispiel DDR3. Die DDR3-Speicherzugriffslatenz beträgt aber ca. 45 Nanosekunden [He09], ist also viel zu hoch. Aus diesem Grund, man muss ein dezidiertes Cache-Speicher genutzt werden und zusätzlich der sog. Zero-Copy-Ansatz angepasst und integriert werden.

Die Vorwärtsfehlerkorrektur verbessert die Robustheit gegen Übertragungsfehler, was besonders wichtig in drahtloser Kommunikation ist. Solche Fehlerkorrekturen verlangen aber viel Ressourcen, Chipfläche und auch Bearbeitungszeit. Zum Beispiel benötigt ein Viterbi-Dekodierer (1/2 Rate, mit 5-Bit Softcoding) eine Chipfläche so groß wie ca. 20 mm² im 40 nm CMOS [Ma10], um den Datendurchsatz von 100 Gbps zu erreichen. Ein anderer FEC-Ansatz - Reed-Solomon(255,239) für 100 Gbps Datenrate - leidet unter hohem Bearbeitungsaufwand mit etwa 70 000 000 MIPS . Aus diesem Grund stellt die 100 Gbps drahtlose Kommunikation sehr hohe Anforderungen an die Implementierung der Vorwärtsfehlerkorrektur, die zum einen eine große Robustheit gegen Übertragungsfehler aufweisen und zum anderen effizient und mit weniger Ressourcen arbeiten soll.

Da diese Arbeit die drahtlose Kommunikation für mobile Geräte berücksichtigt, spielt der Energieverbrauch eine große Rolle. Die Paketbearbeitung von hohen Datenraten führt aber zu hohem Energieverbrauch. Zum Beispiel eine Softwareimplementierung der Sicherungsschicht für 100 Gbps Glasfaserleitung, die auf Intel-Xeon-Prozessoren basiert, verbraucht etwa 650 Watt [He09]. Da die drahtlose Kommunikation viel komplexere Ansätze verlangt, würde der Energieverbrauch sogar höher sein. Allerdings sollte das Übertragungssystem für mobile Geräte nicht mehr als 1 Watt verbrauchen. Für die Sicherungsschicht, die ein Teil des Kommunikationssystems ist, bleibt sogar weniger als 1 Watt übrig.

3 Verfahren und Methoden

Um sehr hohe Datenraten bei drahtloser Kommunikation zu erreichen, müssen viele Ansätze eingesetzt und angepasst werden. Diese Arbeit untersucht und vergleicht verschiedene Lösungsansätze, prüft die Anpassung deren Parameter an die Performance in drahtloser Umgebung und führt neue Konzepte zur Lösung ein. Arbeitsmethodisch wurden zuerst die unterschiedlichen Ansätze mittels MATLAB-Simulationen untersucht. Anschließend erfolgten Testen und Bewerten mit der Hardwareimplementierung auf FPGA-Boards. Zu den wichtigsten Lösungen der Sicherungsschicht für schnelle und robuste drahtlose Kommunikation gehören: Fragmentierung und Aggregation von Paketen, Vorwärtsfehlerkorrekturmechanismen, Paketbestätigung und -wiederholung (engl. Automatic Repeat Request). Im Folgenden werden diese Lösungen näher betrachtet.

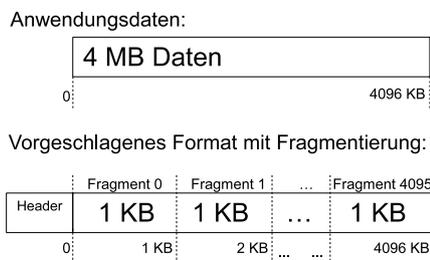


Abb. 1: Vorgeschlagenes Frameformat.

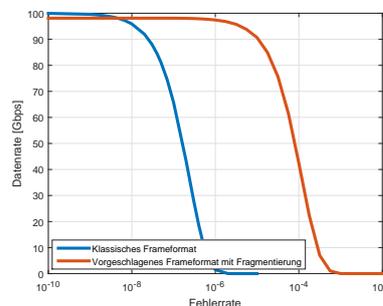


Abb. 2: Vorgeschlagenes Frameformat.

3.1 Frameformat, Fragmentierung, Aggregation und parallele Framebearbeitung

Die Framegröße und ihr Format beeinflussen stark die Kommunikationsperformance. Als Eingangspunkt wurde das Frameformat des IEEE-802.11ad-Standards ausgewählt (WLAN mit 60-GHz-Band [IEE12]). Nach vielen MATLAB-Simulationen wurde das Frameformat auf die betrachteten Szenarien angepasst, d. h. für drahtlose Netze mit einem Durchsatz von 100 Gbps und für unterschiedliche Bitfehlerraten. Basierend auf analytischen Untersuchungen wurde das Frameformat für 100-Gbps-Szenarien definiert (Abb. 1). Das Frame soll mindestens 4 MB groß sein, geteilt in 4096 Fragmente. Dank der Fragmentierung müssen bei Fehlern nur einzelne Teile und nicht ganze Frames wiederholt werden. Mit einem solchen Ansatz steigt die Robustheit gegenüber Bitfehlern um den Faktor 100 (Abb. 2).

Die kurze Bearbeitungszeit von Paketen erreicht man nur mit Hardwareimplementierungen, die alle Operationen parallel ausführen. In diesem Ansatz wird jeder Datenfluss in sog. Lanes aufgeteilt, danach separat parallel bearbeitet und schließlich zusammengefasst. Die Frameaggregation und das ARQ-Protokoll lassen sich gut in eine solche parallele Verarbeitung umsetzen. Viel schwerer ist die Realisierung einer parallelen Implementierung der Vorwärtsfehlerkorrektur, weil alle separaten Lanes voneinander komplett unabhängig sein müssen. Aus diesem Grund wurden in dieser Arbeit zwei FEC-Ansätze näher betrachtet ‘Interleaved Reed-Solomon Codes (IRS)’ [Wa16] und ‘Turbo Product Codes (TPC)’ [Tz16].

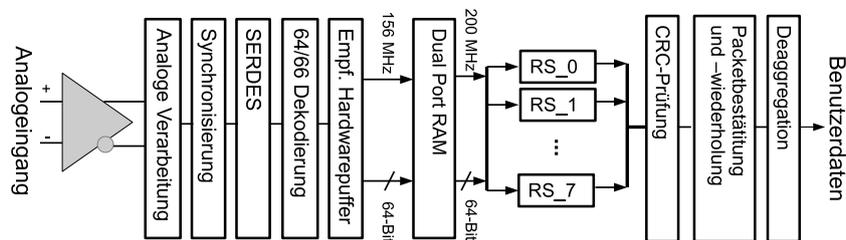


Abb. 3: Empfänger-Lane-Realisierung optimiert für IRS-Dekodierung und Virtex7-FPGA.

3.2 Interleaved Reed-Solomon

Nach dem Simulieren unterschiedlicher Vorwärtsfehlerkorrekturalgorithmen in MATLAB und Schätzung ihres Bedarfs an Chipfläche wurde der Reed-Solomon-Ansatz für die 100-Gbps-Sicherungsschicht ausgewählt. Danach wurde dieser Ansatz zusätzlich noch mit einem Interleaver verbessert, der die Korrektur von Burstfehler noch effektiver werden lässt. Abb. 3 stellt den Ansatz dar. Da diese Idee eine viel kleinere Komplexität als Konvolutionscodes und auf Interleavermatrizen basierte Lösungen aufweist, eignet sie sich besonders gut für die 100-Gbps-Sicherungsschicht. Abb. 3 zeigt eine FPGA- und ASIC-Implementierung einer Lane der Sicherungsschicht, die einen Durchsatz von 10 Gbps erreicht. Um die Datenrate von 100 Gbps zu unterstützen, müssen 10 solche Lanes parallel

gekoppelt werden. Die auf RS basierte FPGA und ASIC Implementierung erreicht einen Durchsatz von ca. 118 Gbps, und die 40 nm ASIC Lösung braucht nur etwa 0.8 mm² der Chipfläche.

3.3 Turbo Product Codes

Die auf Turbo Product Codes (TPC) [Tz16] basierte Vorwärtsfehlerkorrektur wird in 100-Gbps-Glasfaserkommunikation eingesetzt. Da die drahtlose Kommunikation mit höheren Fehlerraten umgehen muss, verlangen TPC-Lösungen Anpassungen. Im Rahmen dieser Arbeit wurden TPC-Ansätze untersucht und viele Konzeptverbesserungen für den Einsatz mit drahtloser Kommunikation umgesetzt, was in den nächsten Absätzen erklärt wird.

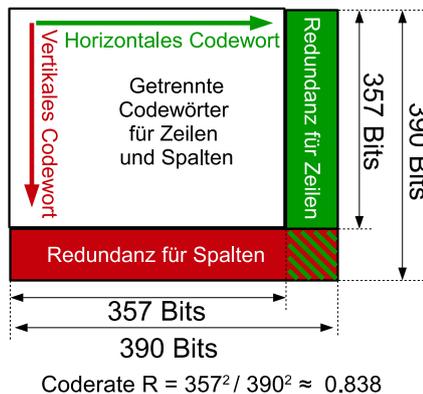


Abb. 4: Typischer Turbo-Product-Code-Dekodierer.

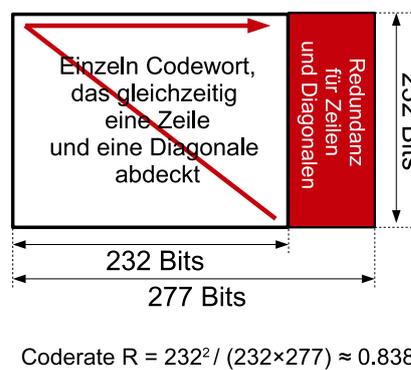


Abb. 5: Vorgeschlagener Turbo-Product-Code-Dekodierer.

3.3.1 Änderungen im Codewort

Ein TPC-Dekodierer basiert auf iterativer Dekodierung von Bits, welche in einer Matrix organisiert sind (Abb. 4). Der Dekodierer bearbeitet einzelne Zeilen und Spalten aus der Matrix nacheinander und versucht sie zu dekodieren. Das Hauptproblem, wodurch sich die Fehlerkorrekturleistung verringert, sind die geteilten Komponenten-Codewörter für die Zeilen und Spalten. Ein gemeinsamer Dekodierer, der die Zeilen und Spalten gleichzeitig abdeckt, verwendet die Redundanz-Bits effizienter, da die Spalten- und Zeilenredundanz-Bits gleichzeitig verwendet werden. Außerdem ermöglicht diese Modifikation eine höhere Hammingdistanz zwischen den Komponenten-Codewörtern mit gleicher Coderate. Dadurch korrigiert die neue Methode mehr Bitfehler. Diese Arbeit verwendet zusätzlich noch eine diagonale Form des Codeworts anstelle einer Zeile-Spalten-Form (Abb. 5). Dadurch, dass die Datenbits mit Spaltenreihenfolge geschrieben werden, werden Burstfehler in der diagonalen Form des Codeworts vermieden. Die letzte vorgeschlagene Änderung ist noch, den BCH-Code für TPC: BCH(511,466,t=5) anstelle des BCH(390,357,t=3) zu nutzen. Zwar steigt der momentane Leistungsverbrauch um 30 %, aber die Dekodierungszeit ist

um ca. 40 - 50 % reduziert. Relativ gesehen korrigiert dieser Ansatz gleiche Fehlerraten mit weniger Energieverbrauch.

3.3.2 Hardware Turbo Product Code Dekodierer mit entrollenden Iterationen

Obwohl die erwähnten TPC-Anpassungen die Performance verbessern und den Energieverbrauch reduzieren, lassen sie sich in eine parallele Implementierung nicht umsetzen. Wegen Dekodierungsabhängigkeiten müssen die Frames nacheinander, nicht parallel, bearbeitet werden. Damit keine Dekodierungsabhängigkeiten entstehen also um die Frames parallel zu bearbeiten, werden zur Dekodierung zwei unabhängige Codes für ungerade und gerade Iterationen verwendet. Die Abb. 6 zeigt diese Codes als grüne und rote Markierungen. Die effektive Coderate (CR) kann durch Modifizieren der horizontalen Länge der Decodier-Matrizen geändert werden. Abb. 7 zeigt die vorgeschlagene Hardware-Implementierung mit entrollenden Iterationen.

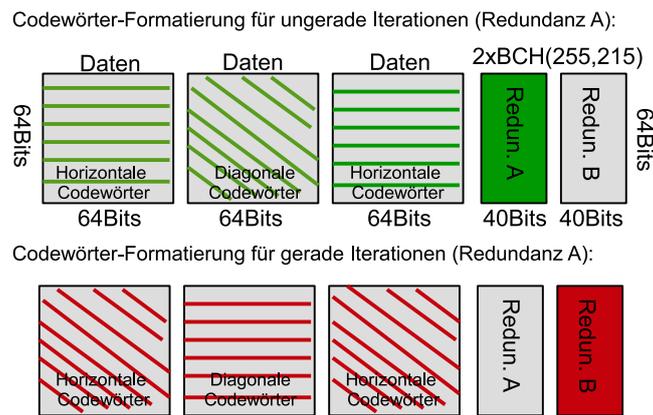


Abb. 6: Modifizierte TPC-Dekodierer für FPGA- und ASIC-Implementierungen. Hier werden zwei unabhängige Codes verwendet (als grün und rot dargestellt), um die Datenabhängigkeit zu lösen. Damit können Frames parallel bearbeitet werden.

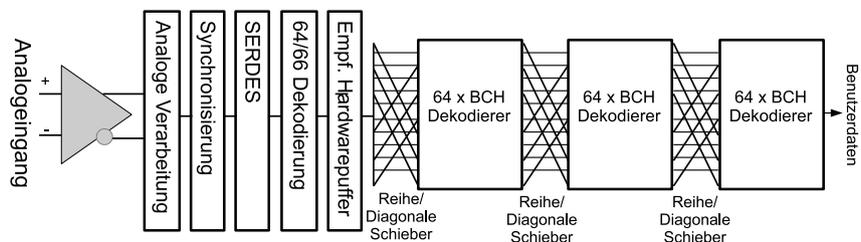


Abb. 7: Empfänger-Lane-Realisierung optimiert für TPC-Dekodierung und Virtex7-FPGA.

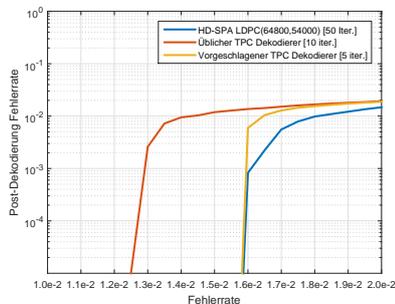


Abb. 8: Fehlerkorrekturleistung für den üblichen TPC (rot), vorgeschlagenen TPC (gelb) und HD-SPA LDPC (blau) Methoden.

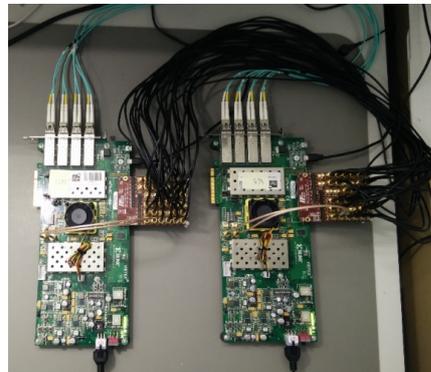


Abb. 9: Der FPGA-Demonstrator.

4 Ergebnisse

Diese Arbeit vergleicht den verbesserten TPC-Dekodierer mit anderen TPC- und LDPC-Lösungen. Zum Beispiel erreicht in dieser Arbeit die angepasste TPC-Implementierung mit einer Coderate (CR) von 0,8 ähnliche Ergebnisse wie der LDPC, aber viel bessere Ergebnisse als der übliche TPC-Ansatz (Abb. 8). Im AWGN-Kanal korrigiert der neue TPC um 28 % höhere Fehlerraten als der übliche TPC-Dekodierer. Ein weiterer Vorteil ist der geringere Energieverbrauch. Obwohl die Codier-Leistung um ca. 30% gestiegen ist, braucht der Dekodierer weniger Iterationen und damit 20-25% weniger Energie.

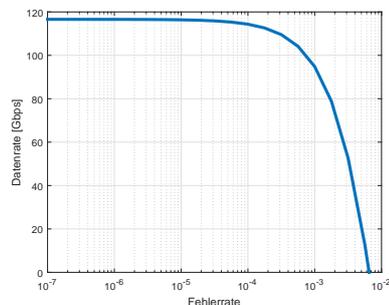


Abb. 10: Nutzdatendurchsatz als Funktion der Fehlerrate für den FPGA-Demonstrator.

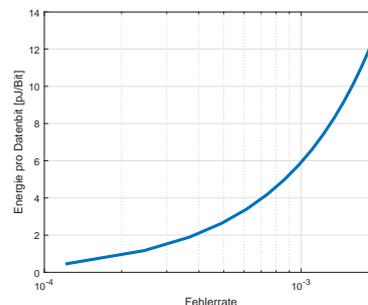


Abb. 11: Energieaufnahme pro Datenbit mit aktivierter Linkadaptierung (40-nm-CMOS).

Die gute Performance der in dieser Arbeit untersuchten und implementierten Lösungen wurde mithilfe der FPGA-Plattform bestätigt (Abb. 9). Die Implementierung umfasst Frame-Aggregation und -Fragmentierung, Interleaved Reed-Solomon Fehlerkorrektur, CRC-Modul, Linkadaptierung und hybrid ARQ. Diese Implementierung hat den Datendurchsatz von ca. 118 Gbps erreicht und damit ist sie eine der schnellsten Sicherungsschichten für drahtlose Systeme weltweit (Abb. 10).

Die VHDL-Implementierung der Data Link Layer, die ursprünglich auf FPGA portiert und getestet wurde, erreicht auch gute Ergebnisse in ASIC-Simulationen. Dank der effi-

zienten und parallelen Implementierung erreicht die maximale Taktfrequenz 210 MHz für die IHP-130-nm- und 900 MHz für die 40-nm-ASIC-Technologie. Die auf 40 nm basierte Technologie erreicht einen Datendurchsatz von 55,87 Gbps für ein Lane. Damit kann man mit nur 2 Lanes die Datenrate von mehr als 100 Gbps unterstützen.

Da die Leistungsaufnahme in 40 nm sehr gering ist, weniger als 1,3 W, kann es in akku-betriebenen mobilen Geräten (z.B. Laptops) eingebaut werden. Den Energieverbrauch für ein einzelnes Bit stellt die Abb. 11 dar. Für Bitfehlerraten weniger als $2e-4$ verbraucht der Prozessor nur 1 pJ/Bit. Für Bedingungen mit häufigen Fehlern, mit einer Fehlerrate von $2e-3$, steigt der Energieverbrauch wegen häufigerem FEC-Einsatz auf 13 pJ/Bit.

Die hier untersuchte Sicherungsschicht soll mit der Modulation PSSS (engl. Parallel Sequence Spread Spectrum) und PAM (engl. Pulse-Amplitude Modulation) zusammenarbeiten, mit einer spektralen Effizienz von 4 Bit/s/Hz. Ohne Verstärkung in PSSS braucht die in der Arbeit implementierte Sicherungsschicht 19,5 dB Eb/N0 und 6,5 pJ/Bit, um den Durchsatz von 100 Gbps zu erreichen.

LDPC-Dekodierer sind derzeit die beliebtesten FEC-Methoden, die in industriellen Anwendungen verwendet werden. Tabelle 1 vergleicht die Data-Link-Layer-Implementierung mit LDPC-Methoden, die in 40-nm-CMOS synthetisiert sind. Die in dieser Arbeit dargestellte Lösung verbraucht deutlich weniger Ressourcen und ermöglicht eine viel schnellere Verarbeitung von Daten. Sie kann dafür aber weniger Fehler korrigieren und benötigt höhere Eb/N0.

	LDPC [Li13]	LDPC [Mo15]	Diese Arbeit
Technologie	40 nm G	40 nm LP	40 nm
FEC-Algorithmus	Soft decision LDPC 802.11ad	Soft decision LDPC 802.11ad	Hard decision IRS
Eb/N0 bei Post-FEC Fehlerrate = $1e-5$	5,9 dB; CR=13/16 QPSK, Indoor-Mehrwege-Kanal	3,5 dB; CR=1/2, QPSK	6,2 dB; CR=223/255 QPSK, AWGN, worst case
Netto Durchsatz	5,6 Gbps	6,16 Gbps	111,74 Gbps
Chipfläche	0,16 mm ²	0,8 mm ²	0,81 mm ²
Energieaufnahme	18 pJ/Bit	32,9 pJ/Bit	Min. 1 pJ/Bit (BER < $2e-4$); Max. 13 pJ/Bit (BER > $2e-3$)
Normalisierte Chipfläche	35 Gbps/mm ²	7,7 Gbps/mm ²	140 Gbps/mm ²
Funktionalität	FEC-Dekodierer	FEC-Dekodierer	FEC-Enkodierer + FEC-Dekodierer + Sicherungsschichtprozessor

Tab. 1: Vergleich des implementierten Prozessors mit zwei modernen 802.11ad-LDPC- Dekodierern (40-nm-CMOS-Technologien).

5 Zusammenfassung

Der Schwerpunkt dieser Arbeit lag in der Untersuchung und auch Umsetzung der Sicherungsschicht (Schicht 2 des OSI-Modell) für künftige ultraschnelle drahtlose Datenkommunikation mit Datenraten über 100 Gbps. So hohe Datenraten für drahtlose Verbindungen wurden bisher nicht berücksichtigt und stellen eine große Herausforderung dar, insbesondere auch an die Sicherungsschicht. Die bereits bekannten Ansätze für drahtlose Kommunikation sind viel zu langsam und verbrauchen zu viel Energie. Demzufolge hat diese Arbeit eine neue Sicherungsschicht untersucht und erfunden, welche Datenraten von ca. 118 Gbps erreicht, den Energieverbrauch stark reduziert und als ASIC realisierbar ist. Im Folgenden werden die wichtigsten Ergebnisse dieser Arbeit kurz zusammengefasst:

1. Dank des innovativen, in dieser Arbeit erfundenen Dekodierers eignet sich die Turbo-Product-Codes (TPC) Vorwärtsfehlerkorrektur gut für ASIC Implementierungen und verbraucht 25% weniger Energie gegenüber üblichen TPC Ansätzen.
2. Die auf Reed-Solomon (RS) basierte Vorwärtsfehlerkorrektur wurde gründlich mit MATLAB untersucht und schließlich mit einem Interleaver verbessert. Die angepasste FPGA Implementierung erreicht eine Datenrate von 169 Gbps (im Virtex7 FPGA mit 220 MHz Clock). Zusätzlich verbraucht die ASIC Lösung sehr wenig Energie, ca. 10 pJ/Bit in 40 nm CMOS Technologien. Die verbesserte RS Fehlerkorrektur korrigiert bis zu 1024 Bits lange Burst-Fehler.
3. Die komplette Sicherungsschicht wurde in Form eines Data-Link-Layer-Prozessors in der FPGA-Plattform implementiert und erreicht den Nettodurchsatz von ca. 118 Gbps. Es scheint der weltweit schnellste Data-Link-Layer-Prozessor für drahtlose Anwendungen zu sein, da bisher keine Veröffentlichungen über so schnelle Sicherungsschichten berichten.
4. Diese Arbeit hat auch unterschiedliche Hardware-Plattformen für die Realisierung der neuen Sicherungsschicht näher betrachtet: Xilinx Virtex7 FPGA, IHP-130-nm-CMOS-Technologie und die industrielle 40-nm-CMOS-Technologie. Für alle drei Fälle wurden die hardware-spezifischen Optimierungsparameter betrachtet und die Datenraten von >100 Gbps erreicht.

Diese Arbeit erreicht sehr gute Ergebnisse nicht nur in Datenraten sondern auch im kleinen Energieverbrauch. Zum Beispiel lassen sich die hier dargestellten Lösungen sofort in Laptops integrieren, da der Energieverbrauch nur ca. 10 pJ/Bit beträgt. Für kleinere mobile Geräten (z. B. Smartphones) muss aber die Energie auf 1-2 pJ/Bit reduziert werden. Dazu muss man aber den sog. vertikalen Ansatz berücksichtigen, und auch Optimierungen in der physikalischen Ebene (auch in Nanostruktur) einbeziehen. Dies geht über die Grenzen dieser Arbeit hinaus. Die weiteren wissenschaftlichen Arbeiten in der Sicherungsschicht für künftige, schnelle drahtlose Kommunikation liegen hauptsächlich in der Vorwärtsfehlerkorrektur, die etwa 95% der gesamten Energie der Sicherungsschicht verbraucht. Auf der einen Seite soll die Forschung in die Richtung noch energiesparsamerer Fehlerkorrekturalgorithmen gehen. Auf der anderen Seite müssen auch höhere Kommunikationsschichten und insbesondere auch die spezielle Anwendungsschicht berücksichtigt

werden, also der sog. vertikale Ansatz. Zum Beispiel können manche Anwendungen und Protokolle höhere Bitfehlerraten akzeptieren und damit eine einfachere und energiesparendere Fehlerkorrektur ermöglichen.

Literaturverzeichnis

- [FA14] Fettweis, Gerhard; Alamouti, Siavash: 5G: Personal mobile internet beyond what cellular did to telephony. *IEEE Communications Magazine*, 52(2):140–145, 2014.
- [He09] Hermsmeyer, Christian; Song, Haoyu; Schlenk, Ralph; Gemelli, Riccardo; Bunse, Stephan: Towards 100G packet processing: Challenges and technologies. *Bell Labs Technical Journal*, 14(2):57–79, 2009.
- [IEE12] IEEE 802.11ad-2012 Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications Amendment 3 : Enhancements for Very High Throughput in the 60 GHz Band, 2012.
- [Li13] Li, Meng; Naessens, Frederik; Debacker, Peter; Raghavan, Praveen; Desset, Claude; Li, Min; Dejonghe, Antoine; Van der Perre, Liesbet: An area and energy efficient half-row-paralleled layer LDPC decoder for the 802.11 AD standard. In: *Signal Processing Systems (SiPS)*, 2013 IEEE Workshop on. IEEE, S. 112–117, 2013.
- [Lo15] Lopacinski, L.; Nolte, J.; Buechner, S.; Brzozowski, M.; Kraemer, R.: 100 Gbps wireless - data link layer VHDL implementation. *Measurement Automation Monitoring*, Vol. 61, No. 7:333–336, 2015.
- [Ma10] Marinkovic, Miroslav; Piz, Maxim; Choi, Chang-Soon; Panic, Goran; Ehrig, Marcus; Grass, Eckhard: Performance evaluation of channel coding for Gbps 60-GHz OFDM-based wireless communications. In: *Personal Indoor and Mobile Radio Communications (PIMRC)*, 2010 IEEE 21st International Symposium on. IEEE, S. 994–998, 2010.
- [Mo15] Motozuka, Hiroyuki; Yosoku, Naoya; Sakamoto, Takenori; Tsukizawa, Takayuki; Shirakata, Naganori; Takinami, Koji: A 6.16 Gb/s 4.7 pJ/bit/iteration LDPC decoder for IEEE 802.11 ad standard in 40nm LP-CMOS. In: *Signal and Information Processing (GlobalSIP)*, 2015 IEEE Global Conference on. IEEE, S. 1289–1292, 2015.
- [Tz16] Tzimpragos, Georgios; Kachris, Christoforos; Djordjevic, Ivan B; Cvijetic, Milorad; Sourdis, Dimitrios; Tomkos, Ioannis: A survey on FEC codes for 100 G and beyond optical networks. *IEEE Communications Surveys & Tutorials*, 18(1):209–221, 2016.
- [Wa16] Wang, Zhongfeng; Chini, Ahmad; Kilani, Mehdi T; Zhou, Jun: Multiple-symbol interleaved RS codes and two-pass decoding algorithm. *China Communications*, 13(4):14–19, 2016.



Lukasz Lopacinski absolvierte 2009 seinen Master an der Westpommerschen Technischen Universität (Szczecin, Polen). Seit 2007 arbeitet er in der Industrie in den Bereichen eingebettete Systeme und drahtlose Kommunikation. 2017 promovierte er in diesem Bereich an der BTU Cottbus und arbeitet seit dem am IHP (Frankfurt-Oder, Deutschland).