

On Non-standard Fault Models for Logic Digital Circuits: Simulation, Design for Testability, Industrial Applications

Ilia Polian

Lehrstuhl für Rechnerarchitektur, Fakultät für Angewandte Wissenschaften
Albert-Ludwigs-Universität Freiburg
Georges-Köhler-Allee 51, 79042 Freiburg i. Br.
polian@informatik.uni-freiburg.de
<http://www.polian.de/ilia>

Abstract: Konventionelle Testverfahren für integrierte Schaltungen sind zunehmend nicht mehr in der Lage, akzeptable Produktqualität zu gewährleisten. Ein möglicher Ausweg ist der Einsatz von verbesserten Modellen für Fertigungsdefekte (*Nichtstandardfehlermodelle*). Der erste Teil der Dissertation beschäftigt sich deshalb mit der Modellierung von so genannten Brückenfehlern, welche insbesondere partikelinduzierte Kurzschlüsse modellieren und daher näher an realistischen Defekten sind als die gewöhnlich betrachteten stück-at-Fehler. Insbesondere die Berücksichtigung des Einflusses des Kurzschlusswiderstandes spiegelt die Gegebenheiten moderner Deep-Submicron-Technologien wider. Obwohl ein Kontinuum von Defekten unter Berücksichtigung nichttrivialer elektrischer Zusammenhänge modelliert wird, sind effiziente diskrete Simulationsalgorithmen möglich. Die einfachsten der vorgestellten Modelle wurden für den industriellen Einsatz optimiert; die Integration der komplexeren resistiven Modelle in die Werkzeuge eines führenden Entwurfsautomatisierungssoftware-Herstellers wird derzeit durchgeführt.

Eine weitere zunehmend wichtige Defektklasse stellen die Verzögerungsdefekte dar, welche so genanntes *Zweimustertesten* erfordern. Der zweite Teil der Dissertation befasst sich mit Entwurfsmethoden, welche die Testbarkeit des Schaltkreises auf dynamische Defekte erhöhen. Ein Ansatz zur Festlegung mehrerer Prüfpfade und eine Selbsttestarchitektur werden vorgestellt. Zwei Anhänge beschreiben den Zusammenhang zwischen den Nichtstandardfehlermodellen und dem konventionellen stück-at-Modell und ihren Einsatz in der formalen Verifikation.

1 Einführung

Fertigungsprozesse von integrierten Schaltungen (integrated circuits, ICs) auf Halbleiterbasis sind Ausbeuteprozesse, d. h. ein Teil der hergestellten ICs ist stets fehlerhaft. Da ein ausgelieferter fehlerhafter IC überproportionale Kosten verursacht, wird jeder gefertigte Schaltkreis vor der Auslieferung getestet. Dabei werden an ihn mit Hilfe einer speziellen Einrichtung, dem *Automatic Test Equipment* (ATE), Eingabevektoren (*Testmuster*) angelegt und die Antworten des ICs mit den Referenzwerten verglichen. Allerdings erlaubt die Komplexität moderner Designs es nicht, die Funktionalität eines ICs erschöpfend zu tes-

ten, d. h. das Verhalten der Schaltung für jede mögliche Eingabefolge unter allen sinnvollen Bedingungen zu überprüfen. Daher sind die Testmethoden inhärent unvollständig, und einige fehlerhafte ICs bestehen den Test. Ihre Anzahl wird in *Parts per million* (PPM), also der Anzahl der ICs, die beim Kunden ausgefallen sind, pro eine Million ausgelieferter ICs, gemessen. Die PPM-Zahl ist die zentrale Metrik für die Qualität eines IC-Fertigungsprozesses.

Bei digitalen ICs (sowie bei Speichern) haben sich die *strukturellen*, fehlermodellbasierten Testerstellungs- und Bewertungsmethoden durchgesetzt. Hierbei versucht man, ausgehend von der Schaltkreisstruktur die Abwesenheit von Defekten nachzuweisen.¹ Da es nicht realistisch ist, alle möglichen Defekte zu betrachten, werden die Fertigungsdefekte durch *Fehler* modelliert. Die Abstraktion der Defekte durch Fehler wird durch ein *Fehlermodell* formal beschrieben.

Das am weitesten verbreitete Fehlermodell ist immer noch das *stuck-at-Fehlermodell*, und dies obwohl in Dutzenden akademischen wie industriellen Studien nachgewiesen wurde, dass die Mehrzahl der Defekte ein vom stuck-at-Modell abweichendes Verhalten aufweist. Dabei betrachtet man den Schaltkreis auf der Gatterebene und nimmt pro Leitung zwei mögliche Fehler an: stuck-at-0 und stuck-at-1. In einem Schaltkreis mit dem stuck-at-0 Fehler auf einer Leitung l ist der Wert auf l stets 0, unabhängig vom Wert am Ausgang des Gatters, das l treibt. Der fehlerhafte Wert wird an die nachfolgenden Gatter weitergeleitet und kann durch den Schaltkreis propagiert werden. Stuck-at-1 Fehler werden entsprechend definiert. Die Testmengen mit hoher *stuck-at-Fehlerüberdeckung*² haben sich empirisch als sehr effektiv darin herausgestellt, "zufällig" auch die Defekte zu entdecken, die sie gar nicht modellieren. Die so erzielten PPM-Zahlen waren in der Vergangenheit oft zufriedenstellend.

Für das in den letzten Jahren zu beobachtende verstärkte Interesse der Industrie an Nichtstandardfehlermodellen gibt es mehrere Gründe. Zum einen resultieren moderne Deep-Submicron (DSM) Halbleiterfertigungstechnologien in neuen, komplexen Defektmechanismen. Gleichzeitig steigen die Qualitätsanforderungen der Kunden. Dies geht einher mit der schrittweisen Realisierung von Entwurfsautomatisierungs- (EDA-) Werkzeugen, die Nichtstandardfehlermodelle unterstützen.

Neben den Nichtstandardmodellen gibt es weitere Ansätze, Fertigungsqualität zu erhöhen, auf die hier kurz eingegangen werden soll. Die *n-fache Entdeckungsstrategie* (*n*-detection) [MFM95] macht sich die empirisch nachgewiesene Effizienz des stuck-at-Modells zu Nutze, indem pro stuck-at-Fehler mehrere Entdeckungen verlangt werden. Der geringe Aufwand für die Anpassung bestehender Infrastruktur ist ein großer Vorteil dieser Strategie. Neuere Erkenntnisse bei Intel [VSA⁺04] deuten darauf hin, dass defektbasierte Nichtstandardfehlermodelle und die *n*-fache Entdeckungsstrategie unterschiedliche Defekte entde-

¹Für analoge, mikroelektromechanische und Hochfrequenzschaltungen werden hingegen *funktionale Tests* eingesetzt, welche die Funktionalität einer Schaltung zu überprüfen versuchen. Manchmal wird funktionale Testerstellung in Verbindung mit struktureller Testbewertung für digitale ICs eingesetzt.

²Unter Fehlerüberdeckung einer Testmenge versteht man den Anteil der von mindestens einem Muster der Testmenge *entdeckten* Fehler unter allen modellierten Fehlern. Ein Fehler wird von einem Testmuster entdeckt, wenn er auf mindestens einem Schaltkreisausgang einen Wert induziert, der sich vom entsprechenden Wert im fehlerfreien Schaltkreis unterscheidet. Für resistive Modelle aus dem Kapitel 5 der Dissertation ist eine veränderte Definition der Fehlerüberdeckung notwendig.

cken und daher kombiniert werden sollten. Einen anderen Weg zur Verringerung der PPM-Zahlen stellen die *Stress-Tests* (Testanwendung unter erhöhten oder abgesenkten Temperatur, Betriebsspannung, Taktfrequenz usw.) dar. Weitere Verfahren zur PPM-Reduktion sind IddQ Test und die Nachbarschaftsmetriken. Diese Testmethoden führen aber i. a. zum Aussortieren eigentlich fehlerfreier ICs. Ferner ist die Testdurchführung oft komplex und teuer. Da die Testkosten ohnehin über 40% der Herstellungskosten betragen können, wird auf diese Verfahren nach Möglichkeit verzichtet.

In den letzten 30 Jahren wurden verschiedene Nichtstandardfehlermodelle entwickelt. Sie unterscheiden sich in den Defekten, die sie modellieren und dem Abstraktionsgrad; einige erfassen statische Effekte, während andere das Timing betrachten; einige sind für eine bestimmte Herstellungstechnologie optimiert. Oftmals besteht ein Tradeoff zwischen der Genauigkeit und der Komplexität mehrerer Modelle für den gleichen Defektmechanismus. Eine bekannte Modellklasse bilden die *Brückenfehler* (bridging faults), welche die durch einen nichtintendierten Kurzschluss induzierte Wechselwirkung zwischen zwei Leitungen beschreiben.

Das Ziel der Dissertation besteht darin, alternative Methoden für die Behandlung relevanter, jedoch vom traditionell verwendeten stuck-at-Fehlermodell nicht abgedeckter Defekte zur Verfügung zu stellen. Dabei ist zum einen die akkurate Modellierung elektrischer Phänomene wichtig. Andererseits müssen die eingesetzten Algorithmen effizient sein, um Anwendung auf komplexe Schaltungsblöcke zu ermöglichen. Außerdem muss die Integrierbarkeit in die industrielle Werkzeuglandschaft gegeben sein.

Im ersten Teil werden Modellierungs- und Simulationsansätze für Kurzschlussdefekte vorgestellt, von einfachen Modellen bis hin zu komplexen Systemen, die den Brückenwiderstand berücksichtigen. Es existiert kein "bestes" Fehlermodell. Für ICs, die in einer sicherheitskritischen Anwendung (etwa im Automobil-, Luftfahrt- oder Medizintechnikbereich) eingesetzt werden sollen, werden die Qualitätsanforderungen anders sein als für Schaltkreise für die Unterhaltungselektronik (die Unterschiede in PPM-Zielwerten für diese Einsatzfelder können sich um zwei Größenordnungen unterscheiden). Daher haben auch weniger genaue Fehlermodelle, die aber weniger Berechnungsaufwand erfordern, durchaus ihre Existenzberechtigung.

Der Anteil der Defekte mit ausschließlich dynamischen Effekten steigt kontinuierlich für DSM-Technologien. Während die Modellierung solcher Defekte durch *Verzögerungsfehler* (delay faults) bereits recht gut untersucht ist und effiziente Algorithmen für die Simulation solcher Fehler existieren, ist die grosse Mehrheit der *Methoden des prüfgerechten Entwurfs* für statische Fehlermodelle konzipiert. Das Erfordernis des *Zweimustertestens* verhindert den unmittelbaren Einsatz dieser Methoden für Verzögerungsfehler. Dabei sind aber Methoden des prüfgerechten Entwurfs für die Entdeckung der Verzögerungsdefekte besonders vorteilhaft: Neben ihrer schon für statische Fehler gegebenen Vorzüge (Reduktion der komplexen sequentiellen Testmuster generierung auf die einfachere kombinatorische, Verteilung der Testkomplexität zwischen ATE und on-chip-Strukturen) erlauben sie die Testanwendung mit der Nominalfrequenz des ICs (ein Erfordernis für Test auf Verzögerungsfehler) unter Verwendung eines kostengünstigen ATE mit niedrigerer Taktfrequenz.

Teil 2 der Dissertation stellt Verfahren für den automatischen Entwurf der Testlogik für das Zweimustertesten zur Verfügung. Im einzelnen handelt es sich um Festlegung mehrerer Prüfpfade (Kapitel 6) und die Konfiguration eines Selbsttestblocks (Kapitel 7). Auch da gilt die Maxime, dass die entwickelten Algorithmen effizient zu sein haben. Für NP -vollständige Teilprobleme werden Heuristiken verwendet. Im Kapitel 7 werden Verfahren unterschiedlicher Komplexität für Schaltkreise unterschiedlicher Größe beschrieben. Es kommen SAT-Solver und BDD-basierte Zustandstraversierungstechniken zum Einsatz.

Die Dissertation behandelt den Einsatz von Nichtstandardfehlermodellen aus unterschiedlichsten Perspektiven. Dabei ist eine Vielzahl von Verfahren entwickelt worden. Daher werden die einzelnen Fragestellungen im Weiteren lediglich kurz angerissen und die Lösungswege sowie die wichtigsten Ergebnisse skizziert. Für die Details wird auf die eigentliche Dissertation bzw. bereits publizierte Konferenz- und Zeitschriftenbeiträge verwiesen.

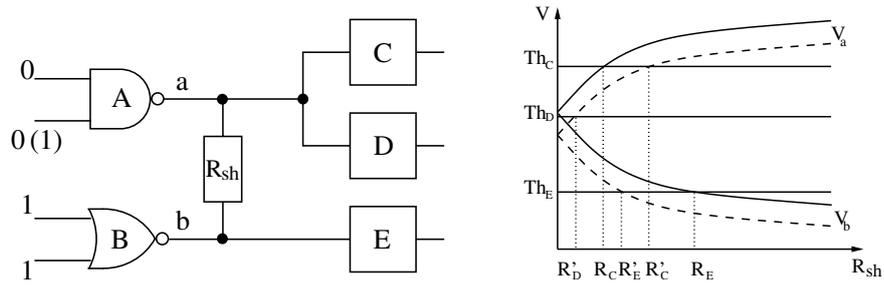
2 Modellierung und Simulation von Brückenfehlern

Zunächst wird im Kapitel 3 eine Simulationstechnik für Brückenfehler vorgestellt, welche im Rahmen der Implementierung einer defektbasierten Teststrategie bei der Micronas GmbH in Freiburg entwickelt worden ist [BDPB03]. Diese Technik ermöglicht die Simulation von realistischen Kurzschlussdefekten, welche aus dem Schaltungslayout extrahiert worden sind. Um industriell einsetzbar zu sein, musste sie auf dem von Micronas verwendeten Fehlersimulator aufsetzen.

Zwei Alternativimplementierungen werden vorgestellt: Das *Transistormodell* modelliert den Kurzschluss mit Hilfe des Verilog-Primitivs `tranif1`. Das auf der Verhaltensebene definierte *Dominanzmodell* hat sich jedoch als genauer und effizienter erwiesen. Eine weitere Technik wurde für *Übersprechfehler* (crosstalk; dabei werden dynamische Effekte betrachtet) entwickelt. Simulationsergebnisse werden für industrielle Schaltungen angegeben.

Im Kapitel 4 wird eine Brückenfehlersimulationsmethode vorgeschlagen, welche die Merkmale von relativ aufwendigen Voting und Biased Voting Modellen [MA93] mit einer reduzierten Simulationskomplexität verbindet [PEB02]. Wie bei den o. g. Modellen wird die Brückenspannung durch eine SPICE-Analyse auf Transistorebene bestimmt. Anstatt jedoch die exakte Spannung zu berechnen, werden Spannungsintervalle auf Logikwerte abgebildet. Der Einfluss der Wertigkeit der verwendeten Logik auf die Simulationsergebnisse wurde sowohl für kombinatorische als auch für sequentielle Schaltkreise untersucht (wobei generische Ansätze zur Modellierung der Speicherelemente eingeführt werden). Experimente mit ISCAS-Schaltkreisen haben gezeigt, dass die sechswertige Logik höhere Genauigkeit gewährleistet und gleichzeitig zu niedrigeren Simulationslaufzeiten führt als die vierwertige.

Kapitel 5 behandelt die *resistiven Brückenfehler* [EPRB03, PERB03]. Der Brückenwiderstand ist eine kontinuierliche Variable, die ferner im Voraus unbekannt ist. Dies sei anhand des Schaltkreises aus Abb. 1 erklärt: Der Ausgang a des NAND2-Gatters A ist mit einem Brückendefekt mit Widerstand R_{sh} mit dem Ausgang b des NOR2-Gatters B kurzgeschlossen. Die durchgezogenen Linien im Diagramm im rechten Teil der Abb. 1

Abbildung 1: Beispielschaltung und ihr R_{sh} - V -Diagramm

zeigen die Spannungen auf a und b in Abhängigkeit von R_{sh} , wenn das Testmuster 0011 angelegt ist (für $R_{sh} = 0\Omega$ stimmen die Spannungen überein, mit steigendem Brückenwiderstand gehen sie auseinander). Die Gatter C , D und E interpretieren diese Spannung in Abhängigkeit von ihrem Schwellwert (threshold; in Abb. 1 als Th_C , Th_D und Th_E dargestellt). So interpretiert C die Spannung auf a als logisch 0, wenn $0 < R_C$ und 1 sonst. Die Werte R_C , R_D und R_E heißen *kritische Widerstände*.

Man sieht, dass der Fehler *im Intervall* $[0, R_C]$ am Ausgang von C entdeckt wird. Am Ausgang von E wird er im Intervall $[0, R_E]$ und am Ausgang von D für keinen R_{sh} -Wert (im leeren Intervall) entdeckt. Wenn statt 0011 das Muster 0111 angelegt wird, verschieben sich die Spannungscharakteristika nach unten (in Abb. 1 sind sie gestrichelt dargestellt), und es kommt zu abweichenden Entdeckungsbedingungen. Das ist der Kern des *multiple strengths problem*, das für sequentielle Schaltungen und Rückkopplungsfehler (s. u.) zu nichttrivialen Verhaltensmustern führt.

In Anlehnung an [RAB99]) bezeichnet C -ADI (covered analogue detectability interval) die Menge der R_{sh} -Werte, für welche der Fehler von einer gegebenen Testmenge entdeckt wird. G -ADI (global ADI) umfasst alle R_{sh} -Werte, für die der Fehler entdeckbar ist. Die globale Fehlerüberdeckung ist als

$$G\text{-FC}(f) = 100\% \cdot \left(\int_{C\text{-ADI}} \rho(r) dr \right) / \left(\int_{G\text{-ADI}} \rho(r) dr \right)$$

definiert, wobei $\rho(r)$ die Wahrscheinlichkeitsverteilungsdichte des Kurzschlusswiderstandes bezeichnet, welche aus den Fertigungsdaten kommen sollte. Im Gegensatz zu gewöhnlichen Fehlermodellen ist die Entdeckbarkeit eines Fehlers somit keine "Ja/nein"-Aussage, sondern ein Wahrscheinlichkeitswert zwischen 0 und 100%. Für mehrere Fehler wird dieser Wert gemittelt (damit ergibt sich die durchschnittliche Entdeckungswahrscheinlichkeit).

Satz: Wenn ein polynomieller Algorithmus zur Berechnung von G -ADI existiert, dann ist $P = NP$. \square

In der Dissertation werden approximative Fehlerüberdeckungen, die in polynomieller Zeit berechenbar sind, betrachtet und systematisch unter Zuhilfenahme von Simulationsdaten miteinander verglichen [EPRB03]. Ferner wird die Methodik auf resistive stuck-at-Fehler (Kurzschlüsse mit V_{DD} und Masse) und *Rückkopplungsfehler* (feedback faults; durch den

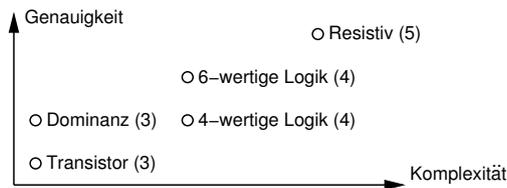


Abbildung 2: Vergleich der Brückenfehlersimulationsmethoden (Teil 1 der Dissertation)

Fehler wird eine asynchrone Schleife eingeführt) verallgemeinert. Für die letztgenannten Fehler wurde Oszillation in einem Fall nachgewiesen, in dem Standardtechniken sie ausschließen würden [PERB03].

Abb. 2 vergleicht die Brückenfehlersimulationstechniken aus dem 1. Teil der Dissertation hinsichtlich ihrer Komplexität und Genauigkeit (die Zahl in Klammern steht für das Kapitel, in dem das jeweilige Modell eingeführt wird). Die insgesamt niedrige Genauigkeit der bei Micronas entwickelten Modelle (Kapitel 3) ist durch die Anforderung der Integration in kommerzielle Werkzeuge bedingt, wobei die Modifikation der Werkzeuge selbst nicht in Frage kam. Nichtsdestotrotz ermöglicht das Dominanzmodell, realistische, aus dem Schaltungslayout extrahierte Fehler zu simulieren. Es ist aber wünschenswert, genauere Modelle industriell anwendbar zu machen. Die Modelle aus Kapitel 4 sind für nichtresistive Fehler hinreichend genau, ohne aufwändige SPICE-Simulationen zu Laufzeit oder große Look-up Tables zu erfordern. Die Integration einer solchen Methode in ein kommerzielles Werkzeug wäre ohne konzeptionelle Schwierigkeiten zu bewerkstelligen (allerdings müsste der Quellcode zugänglich sein).

Die Berücksichtigung des Brückenwiderstandes führt zu genaueren Modellen. Die Komplexität der zugehörigen Verfahren ist zwar höher als bei anderen Modelle, sie bleiben jedoch praktisch einsetzbar. Die elektrische Analyse findet nur am Fehlerort statt, und die Fehlereffektpropagation ist ein diskretes Problem. Ein kommerzielles Werkzeug bedarf umfangreicher Modifikationen, um diese Art von Fehlern zu unterstützen. Derzeit wird dies in einem Projekt mit Mentor Graphics, Wilsonville, Oregon, USA, einem führenden EDA-Softwarehersteller, bewerkstelligt.

3 Prüfgerechter Entwurf für das Zweimustertesten

Einige Fehler (insb. die Verzögerungsfehler) erfordern die Anwendung von zwei Testmustern (*Testpaar*), um entdeckt zu werden. Im Falle von Verzögerungsfehlern werden auf diese Weise Transitionen auf einem oder mehreren Eingängen induziert, und es wird überprüft, ob die Signalwechsel innerhalb der vorgeschriebenen Zeit die Ausgänge erreichen. Die Anforderung, dass die beiden Testmuster eines Testpaars direkt hintereinander angewendet werden müssen, verhindert die Anwendung vieler bestehender Techniken des prüfgerechten Entwurfs (Design for Testability, DFT) und des eingebauten Selbsttests (built-in self test, BIST) auf das Zweimustertesten. Die Verfahren aus dem 2. Teil der Dissertation erzeugen, von einer gegebenen Testpaarmenge ausgehend, alternative Architekturen für ihre Anwendung.

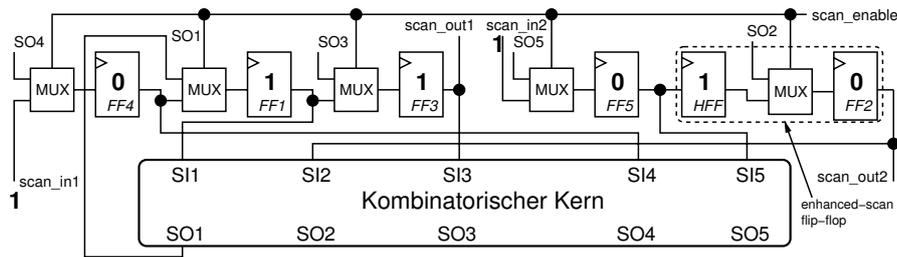


Abbildung 3: Zwei Prüfpfade für die Anwendung des Testpaars 10100/01111

Im Kapitel 6 wird eine Methode zur Festlegung mehrerer *Prüfpfade* (multiple scan chain design) beschrieben, welche an die Anwendung von Testpaaren angepasst ist [PB03]. Sie optimiert die Zuordnung von Speicherbausteinen zu den Prüfpfadketten sowie die Anordnung der einzelnen Prüfpfadketten, so dass eine gegebene Testpaarmenge durch die Schiebeoperation anwendbar ist und die Anzahl der erweiterten Speicherbausteinen mit zwei Zuständen (*enhanced-scan flip-flops*) minimiert wird. Dadurch wird sowohl die Testanwendungszeit als auch der Flächenbedarf optimiert. Die exakte Problemformulierung ist mit dem *Traveling Salesperson Problem* eng verwandt und ist *NP*-vollständig, daher wird für die Lösung eine Heuristik eingesetzt. Ferner wird die Technik des *überlappenden Einschlebens* (overlapped shift-in) vorgestellt, welche die Testanwendungszeit weiter minimiert, aber i. a. zum Überdeckungsverlust führt. Es werden Bedingungen aufgestellt, unter welchen dies verhindert werden kann.

Abb. 3 zeigt beispielhaft die Anwendung des Testpaares 10100/01111 mit Hilfe von zwei Prüfpfaden ($\text{scan_in1} \rightarrow \text{FF4} \rightarrow \text{FF1} \rightarrow \text{FF3} \rightarrow \text{scan_out1}$ sowie $\text{scan_in2} \rightarrow \text{FF5} \rightarrow \text{FF2} \rightarrow \text{scan_out2}$) auf den kombinatorischen Kern mit je 5 sekundären Eingängen (SI) und Ausgängen (SO). Man beachte, dass die Reihenfolge der Speicherelemente (Flipflops) vertauscht sowie das Hilfs-Flipflop *HFF* zwischen *FF5* und *FF2* eingefügt worden ist (genauer gesagt ist *FF2* in ein *enhanced-scan-Flipflop* transformiert worden). Zur Vereinfachung sind keine Clock-Leitungen dargestellt, und die Rückkopplungen von den SOs sind mit Ausnahme von SO1 nur angedeutet. Im Testmodus ($\text{scan_enable} = 1$) werden auf scan_in1 die Werte 1; 1; 0 und auf scan_in2 die Werte 0; 1; 0 angelegt, um die in Abb. 3 gezeigte Wertebelugung zu erhalten. Wird nun im vierten Takt der Wert 1 auf beiden scan_ins angelegt, so wird das gesuchte Testpaar auf den Kern angewendet. Dann wird scan_enable auf 0 gesetzt und die Testantwort in den Flipflops gespeichert und hinausgeschoben.

Im Kapitel 7 wird eine BIST-Architektur für das Zweimustertesten beschrieben [PB04]. Sie basiert auf einem Multiple Input Signature Register (MISR) und expandiert einzelne Vektoren (input vectors, IVs) in Testsequenzen, welche dann zum eigentlichen Testen verwendet werden. Die IVs können auf dem Chip (etwa in einem ROM) oder im ATE abgespeichert werden. Im letzten Fall sind preiswerte Tester mit reduzierten Performanzanforderungen einsetzbar. Es besteht ein Tradeoff zwischen dem benötigten Speicherplatz für die Vektoren und der Testanwendungszeit.

Abb. 4 zeigt den MISR, der die Testpaare $\text{TP1} = 1111/0010$ und $\text{TP2} = 0011/0100$ generiert. Hierfür wird an seine Inputs der IV 0101 angelegt und für 8 Taktzyklen konstant

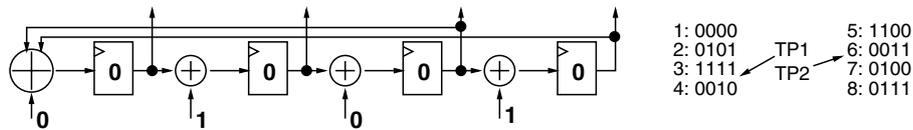


Abbildung 4: IV 0101 erzeugt die Testpaare 1111/0010 und 0011/0100

gehalten. Der MISR wendet eine Testsequenz, die mit dem Nullzustand startet und in der beide Testpaare vorkommen, auf den zu testenden Block an (die Sequenz ist in der Abb. 4 rechts gezeigt). Der IV 0101 *erzeugt* also TP1 und TP2.

Zwei Verfahren für die Bestimmung von IVs werden vorgestellt: Das *Greedy-Verfahren* und das *Komplette Verfahren*. Das *Greedy-Verfahren* bestimmt für ein Testpaar einen IV, der dieses Testpaar erzeugt. Die Testsequenz wird auf das Vorkommen weiterer Testpaare untersucht. Ein noch nicht erzeugtes Testpaar wird ausgewählt, und der nächste IV wird bestimmt. Dies wird iteriert, bis alle Testpaare erzeugt worden sind. Für die Lösung wird ein SAT-Solver eingesetzt. Das *Komplette Verfahren* ermittelt zu jedem Testpaar *alle* IVs, die es erzeugen. Dann wird eine kompakte Menge von IVs bestimmt, so dass jedes Testpaar von mindestens einem IV aus dieser Menge erzeugt wird. Dabei kommt die Standardheuristik für Mengenüberdeckungsprobleme zum Einsatz. Das *Komplette Verfahren* ist einmal explizit in Tabellenform und einmal implizit mit BDD-basierter Zustandstraversierung implementiert worden. Es erzielt i. a. bessere Ergebnisse, verbraucht aber deutlich mehr Ressourcen und ist nur für kleinere Blöcke einsetzbar.

Bei der prüfpfadbasierten Testanwendung (Kapitel 6) werden nur die eigentlichen Testpaare auf den getesteten Block angewendet. Allerdings müssen all diese Daten auch im ATE abgespeichert werden. Im Gegensatz dazu sind die Testdaten bei der BIST-Lösung (Kapitel 7) in längere Sequenzen eingebettet. Die auf den Block angewendeten Testdatenvolumina sind beim Prüfpfad-Ansatz also geringer, hinsichtlich ATE-Speicherbedarf schneidet jedoch BIST besser ab.

4 Anhänge

Anhang A behandelt die n -fache Entdeckungsstrategie (n -detection). Das Konzept der n, n_2 -detection von Pomeranz und Reddy wird auf n, n_2, n_3 -detection verallgemeinert [PPRB04]. In Zusammenarbeit mit Irith Pomeranz von der Purdue University ist der auf heuristischer Identifikation der Fehlerdominanzen im Schaltkreis basierende Grundalgorithmus durch ein exaktes Verfahren unter Verwendung von BDDs erweitert worden. Experimentelle Ergebnisse zeigen, dass die gemäß der n, n_2, n_3 -detection-Strategie generierten Testmengen mehr unmodellierbare Fehler (non-target faults) entdecken als die Testmengen gleicher Größe, welche gemäß der n, n_2 -detection-Strategie erzeugt worden sind.

Im Anhang B wird die Anwendung der Konzepte aus dem Bereich des Herstellungstests in einem anderen Feld des Chipentwurfs, der formalen Verifikation, beschrieben [PGB03]. Das Vorgehen zielt auf die Identifikation von Entwurfsfehlern in *Einchipssystemen* (system-on-chip, SoC), welche bei der Integration der Blöcke (cores) in das System oder bei der Einsetzung der Testlogik auftreten können [WTJ02]. Die betrachteten Entwurfsfehler sind

falsch angeschlossene Pins eines vorverifizierten – und somit ansonsten fehlerfreien – Blocks. Diese Entwurfsfehler bilden ein (Nichtstandard-)Fehlermodell, genannt *Port Order Faults* (POF). Eine BDD-basierte Methode für die Erzeugung einer vollständigen Testmenge für die Port Order Faults mit nur zwei vertauschten Pins (2-POF) wird vorgestellt. Eine statistische Analyse und eine Monte-Carlo-Simulation zeigen, dass diese Testmengen eine sehr hohe Überdeckung der POFs höherer Ordnung gewährleisten.

5 Zusammenfassung und Ausblick

Vor allem für Unternehmen mit starken Engagement in sicherheitskritischen Bereichen (Automobil- und Medizintechnik) sind verbesserte Testmethoden von großer Bedeutung. In dieser Dissertation werden Fehlermodelle über das traditionelle stuck-at-Modell hinaus vorgestellt und weiterentwickelt, ihr industrieller Einsatz skizziert und Anpassungen der Maßnahmen des prüfgerechten Entwurfs für sie beschrieben.

Im ersten Teil der Dissertation wurden verschiedene von Brückenfehlermodellen und -simulationsmethoden vorgestellt und der Tradeoff zwischen Komplexität und Genauigkeit untersucht worden. In keinem Fall ist aber die Komplexität so hoch, dass die Behandlung mittelgroßer Blöcke (größerer ISCAS-Schaltungen) unmöglich würde. Der Ansatz aus Kapitel 3 setzt auf ein industrielles Werkzeug auf, und die Methode aus Kapitel 4 ist in ein solches prinzipiell integrierbar. So können realistische, aus dem Layout extrahierte Brückenfehler in existierender Infrastruktur simuliert werden.

Die resistiven Modelle (Kapitel 5) sind nach unserem Wissen die exaktesten zurzeit existierenden Fehlermodelle auf der Gatterebene. Der entwickelte Simulator ist der erste seiner Art, der im resistiven Kontext sequentielle Schaltkreise, Kurzschlüsse mit Stromversorgung und Masse (resistive stuck-at faults) und Rückkopplungsbrückenfehler (resistive feedback bridging faults) behandeln kann. Weitere theoretischen Betrachtungen zeigen nichttriviales (und unerwartetes) Verhalten des fehlerhaften Schaltkreises in Abhängigkeit von dem Brückenwiderstand, insbesondere im Falle der Rückkopplungsbrückenfehler, auf.

Der Entwurf einer Zweimustertest-Lösung ist ein Kompromiss zwischen einigen Parametern: der angestrebten Fehlerüberdeckung, der Blockgröße, dem akzeptablen Chipflächenverbrauch, der Testanwendungszeit und den Parametern des eingesetzten ATE (insb. seine Geschwindigkeit und Speichergröße). Die Methoden aus dem 2. Teil der Dissertation stellen einige Optionen bereit, aus welchen eine zur individuellen Situation passende Teststrategie ausgewählt werden kann. Der Ansatz aus Kapitel 6 ist nach unserem Wissen das erste veröffentlichte Verfahren zur Festlegung mehrerer Prüfpfade unter der Bedingung der Zweimustertestbarkeit. Das Selbsttest-Design aus Kapitel 7 ist eines der wenigen zurzeit existierenden Ansätze, die geringen Flächenbedarf mit hoher Fehlerüberdeckung, überschaubarem ATE-Speicheranforderungen und annehmbaren Laufzeitanforderungen kombinieren.

Zur Steigerung der IC-Qualität bedarf es genauer Fehlermodelle, effizienter Simulationsalgorithmen, entwickelter automatischer Methoden prüfgerechten Entwurfs und der Integration in industrielle Werkzeuge. Die Beiträge dieser Dissertation sind in diesem Spannungsfeld einzuordnen.

Literatur

- [BDPB03] Bradford, J., Delong, H., Polian, I., und Becker, B.: Simulating Realistic Bridging and Crosstalk Faults in an Industrial Setting. *Journal of Electronic Testing - Theory and Applications*. 19(4):387–395. 2003.
- [EPRB03] Engelke, P., Polian, I., Renovell, M., und Becker, B.: Simulating resistive bridging and stuck-at faults. In: *Int'l Test Conf.* S. 1051–1059. 2003.
- [MA93] Maxwell, P. und Aitken, R.: Biased voting: A method for simulating CMOS bridging faults in the presence of variable gate logic thresholds. In: *Int'l Test Conf.* S. 63–72. 1993.
- [MFM95] Ma, S., Franco, P., und McCluskey, E.: An experimental chip to evaluate test techniques experimental results. In: *Int'l Test Conf.* S. 663–672. 1995.
- [PB03] Polian, I. und Becker, B.: Multiple Scan Chain Design for Two-Pattern Testing. *Journal of Electronic Testing - Theory and Applications*. 19(1):37–48. Feb. 2003.
- [PB04] Polian, I. und Becker, B.: A Scalable Delay BIST For Use with Low-Cost ATE. *Journal of Electronic Testing - Theory and Applications*. 20(2):181–197. 2004.
- [PEB02] Polian, I., Engelke, P., und Becker, B.: Efficient bridging fault simulation of sequential circuits based on multi-valued logics. In: *Int'l Symp. on Multi-Valued Logic*. S. 216–222. 2002.
- [PERB03] Polian, I., Engelke, P., Renovell, M., und Becker, B.: Modelling feedback bridging faults with non-zero resistance. In: *European Test Workshop*. 2003.
- [PGB03] Polian, I., Günther, W., und Becker, B.: Pattern-based verification of connections to intellectual property cores. *INTEGRATION, The VLSI Journal*. 35(1):25–44. 2003.
- [PPRB04] Polian, I., Pomeranz, I., Reddy, S., und Becker, B.: On the use of maximally dominating faults in n-detection test generation. *IEEE Proceedings Computers and Digital Techniques*. 2004. Accepted for publication.
- [RAB99] Renovell, M., Azaïs, F., und Bertrand, Y.: Detection of defects using fault model oriented test sequences. *Jour. of Electronic Testing: Theory and Applications*. 14:13–22. 1999.
- [VSA⁺04] Venkataraman, S., Sivaraj, S., Amiyen, E., Lee, S., Ojha, A., und Guo, R.: An experimental study of N-detect scan ATPG patterns on a processor. In: *VLSI Test Symp.* S. 23–28. 2004.
- [WTJ02] Wang, C., Tung, S., und Jou, J.: On automatic-verification pattern generation for SoC with port-order fault model. *IEEE Trans. on CAD*. 21(4):466–479. 2002.

Werdegang Iliia Polian, geboren 1977 in Moskau, studierte zwischen 1993 und 1999 Informatik und Mathematik an der Albert-Ludwigs-Universität Freiburg. Er war in dieser Zeit auch bei Micronas-Intermetall in Freiburg und IBM Deutschland Entwicklung GmbH in Böblingen tätig. Er war Europa- und Vizeweltmeister beim ACM-Programmierwettbewerb (ICPC) 1999, DAAD-Preisträger 1995 und VDI-Preisträger 1999. Zwischen 2000 und 2003 war er wissenschaftlicher Mitarbeiter am Lehrstuhl für Rechnerarchitektur der Fakultät für Angewandte Wissenschaften der Albert-Ludwigs-Universität. Im November 2003 hat er seine Promotion mit Auszeichnung abgelegt. Er ist Autor oder Koautor von über 20 wissenschaftlichen Publikationen in internationalen Fachzeitschriften und Konferenzbänden. Er wurde u. a. von der Stanford University, der Princeton University, der Purdue University, der University of Wisconsin, Madison und der University of Iowa zu Vorträgen eingeladen. Dr. Polian ist derzeit am Lehrstuhl für Rechnerarchitektur (Prof. B. Becker) als wissenschaftlicher Assistent tätig. Seine Forschungsinteressen umfassen neben Halbleiter-Testverfahren auch Testmethoden für mikroelektromechanische Systeme und Quantenrechner. Ferner beschäftigt er sich derzeit im Rahmen des DFG-Transregio-Sonderforschungsbereichs AVACS, an dessen Beantragung er mitgewirkt hat, mit formalen Verifikationsansätzen für hybride diskret-kontinuierliche und Echtzeitsysteme.