

Abstrakte Modellierung der Eigenschaften von nanoelektronischen CNT-Elementen in SystemC

Peter Zipf, Oliver Soffke, Michael Velten, Manfred Glesner
Fachgebiet Mikroelektronische Systeme, Technische Universität Darmstadt

Abstract: Möglichst genaue Simulationen von Digitalschaltungen, die auf nanoelektronischen Komponenten basieren, benötigen abstrakte Modelle, in denen die wesentlichen Eigenschaften der realen Schaltung repräsentiert sind. Wir beschreiben SystemC-Modelle, die die Eigenschaften von auf Kohlenstoffnanoröhren-Transistoren basierenden Schaltungen abstrahieren und für eine Simulation auf der RT-Ebene zugänglich machen. Durch die funktionale Modellierung von Bottom-Up Effekten ist es möglich, die modellierte Information auch anderweitig, z. B. in Syntheseprozessen, zu verwenden. Die Modelle enthalten Profiling- und Überwachungsfunktionalität, die ein Verfolgen von Events, die Verletzung des Timings sowie zur Verlustleistungsmessung implementieren. Erste Vergleiche der Simulationsergebnisse der Originalmodelle mit den Abstraktionen zeigen eine gute Übereinstimmung der Resultate.

1 Einleitung

Der Entwurf von Systemen, die auf neuartigen nanoelektronischen Komponenten basieren, stellt eine große Herausforderung für die verwendeten EDA-Methoden und Architekturen dar [BKD04, SL04]. Für eine detaillierte Systemsimulation können Abstraktionen der zugrunde liegenden Schaltungselemente verwendet werden, die so genau wie möglich deren Eigenschaften widerspiegeln und gleichzeitig eine sehr schnelle Auswertung erlauben müssen. SystemC wird hauptsächlich zur Simulation großer digitaler Systeme verwendet. Die Ziele sind dabei eine Simulation auf Systemebene zur Überprüfung des Systemverhaltens bzw. eine systematische Untersuchung des Entwurfsraums. Werden Modelle mit Timing-Information erstellt, sind auch taktzyklengenaue Simulationen möglich. Innerhalb der Module hängt die Genauigkeit der Funktionalitätsdarstellung von den Details der jeweiligen Implementierung ab. C++ kann verwendet werden, um ein beliebiges Verhalten sowie zusätzliche Funktionalität in das Modell zu integrieren.

Wir verwenden die Information aus Simulationsläufen eines semiempirischen SPICE-Modells von Carbon-Nanotube-Feldeffekttransistoren (CNFETs) zum Aufbau eines SystemC-Simulationsmodells einiger Grundschaltungen. Das semiempirische Modell wurde von Dwyer et al. in [DCS04] vorgestellt. Die hier von uns basierend auf dieser Arbeit beschriebenen Elemente sind ein NAND Gatter, ein FlipFlop sowie ein EXOR Gatter. Die Modelle sollen so genau wie möglich das Verhalten ihrer entsprechenden SPICE-Modelle widerspiegeln und können für detaillierte Simulationen solcher CNFET-basierten Schaltungen eingesetzt werden. So kann das Zeitverhalten und näherungsweise

der Leistungsverbrauch untersucht werden. Im Gegensatz zu [XCS03] ist bei uns die Messung des Leistungsverbrauchs in die Schaltungsmodelle, nicht aber in die SystemC-Bibliothek integriert.

2 Modellierung der CNFET-Schaltungen

Als Grundlage für unsere Modelle verwenden wir ein semiempirisches dynamisches CNFET-Modell, das in [DCS04] auf der Basis von Messergebnissen [RYP⁺02] entworfen und um dynamische Eigenschaften erweitert wurde. Aus den damit beschriebenen Transistoren können größere Schaltungen zusammengesetzt werden, die dann den entsprechenden CMOS-Strukturen sehr ähnlich sind. Als Basis werden hier ein NAND Gatter und ein Inverter verwendet.

Das in unserer Arbeit untersuchte D-FlipFlop ist negativ-flankengetriggert und besteht aus acht NAND Gattern und einem Inverter. Erste Untersuchungen ergaben einen möglichen Wert von 0.6 V für die Versorgungsspannung und eine Taktfrequenz von bis zu 8 GHz. Das EXOR Gatter ist ebenfalls aus NAND Gattern aufgebaut. Die charakteristischen Timing- und Verlustleistungsdaten des FlipFlops und der Gatter wurden durch SPICE-Simulationen ermittelt.

Für das FlipFlop wurden das CLK→Q Delay-Verhalten und die Setup- und Hold-Zeiten bestimmt. Die typische Verzögerung wird bei einem sicheren Abstand von der minimalen Setup-Zeit ermittelt und beträgt 24.51 ps. Setup- und Hold-Zeiten können ebenfalls nur experimentell bestimmt werden. Die Verzögerung CLK→Q steigt an, sobald sich die Eingangsflanke der minimalen Setup-Zeit nähert. Wird die Setup-Zeit verletzt, schaltet das FlipFlop nicht. Die Hold-Zeit für unsere Simulation ergibt sich zu 0. Die minimale Setup-Zeit beträgt 26.955 ps (2.5 FO-4 Verzögerungen). Insgesamt werden für das FlipFlop 31 Werte in das SystemC-Modell integriert. Einige davon sind in Tabelle 1 gezeigt. Alle Werte sind in einer Header Datei des SystemC-Moduls abgelegt.

FlipFlop	Transition 0 → 1	Transition 1 → 0
typ. Delay CLK→Q	2.273	3.042
Setup (boundary)	2.247	2.659
Delay (setup boundary)	8.316	3.383

Tabelle 1: Einige Timing-Werte des SystemC-Modells, hier normiert auf FO-4 Delays (10.782 ps).

Logische Gatter werden innerhalb von Simulationen gewöhnlich als eine Kombination aus einem idealen Gatter und einer nachgeschalteten Verzögerung modelliert. Unser Modell berücksichtigt zusätzlich zu der Schaltverzögerung auch einige Effekte, die sich aus der Filterwirkung für kurze Eingangspulse oder Skew ergeben. Dazu werden ebenfalls Daten aus den entsprechenden Simulationen verwendet.

Der Leistungsverbrauch besteht aus einer statischen und einer dynamischen Komponente. Zur Bestimmung der statischen Verlustleistung wurden die Schaltungen über einen längeren Zeitraum ohne Änderungen an den Eingängen simuliert. Zur Bestimmung

des dynamischen Leistungsverbrauchs müssen die unterschiedlichen Kombinationen der Eingangs- und Ausgangssignale, bzw. im Fall des FlipFlops der gespeicherte Wert, berücksichtigt werden.

3 Die SystemC-Modelle

Die Implementierung des NAND Gatters und des FlipFlops haben einen ähnlichen Aufbau, hier wird nur das FlipFlop-Modul genauer beschrieben. Es besteht aus sechs Threads, die in Tabelle 2 zu sehen sind. Aufgeführt sind ebenfalls die Signale, auf die die Threads sensitiv reagieren, die getriggerten Events (notify) und die Events auf die sie warten. Die

Thread	Sensitivity	Notify	Wait on Event
DinEvent	Din	din_event	–
ClkNegEvent	clk.neg()	clk_neg_event	–
ClkPosEvent	clk.pos()	clk_pos_event	–
GetDelay	–	calc_event	clk_*_event, din_event
GetQout	–	–	calc_event
StaticEnergy	Din, Qout, clk	–	–

Tabelle 2: Die sechs Haupt-Threads des SystemC-FlipFlop-Modells.

ersten drei Threads verarbeiten die beiden Eingänge und sind sensitiv auf den Dateneingang bzw. die negative und positive Taktflanke. Abhängig von diesen Events wird ein Ausgabewert berechnet und ein Event zur Aktivierung des `GetDelay` Threads erzeugt. Dieser wiederum berechnet die zugehörige Ausgangsverzögerung unter Zuhilfenahme aller Timing-Daten aus den SPICE-Simulationen und aktiviert den Thread `GetQout`, der die Ausgabe verzögert und den Ausgang entsprechend setzt. Bei jeder Verletzung des Timings wird eine Warnung ausgegeben, darüber hinaus wird das Verhalten des Analogmodells so weit wie möglich reproduziert. Der Kontrollfluss innerhalb des Modells ist in Abb. 1 gezeigt. Der Thread `StaticEnergy` berechnet den statischen Energieverbrauch

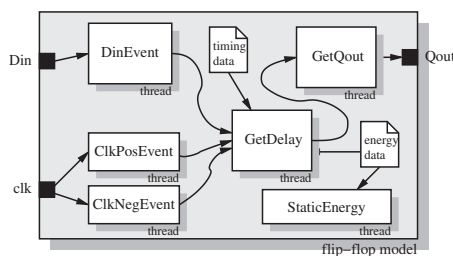


Abbildung 1: Die Threads innerhalb des SystemC-Modells.

und ist unabhängig von den anderen Threads. Der dynamische Verbrauch wird innerhalb der Threads `GetDelay` und `GetQout` berechnet, da dort die notwendigen Fallunter-

scheidungen ohnehin vorliegen. Die Berechnung erfolgt durch Aufsummieren der Verbrauchswerte der einzelnen Events.

4 Ergebnisse

Zur Evaluierung der SystemC-Modelle werden diese innerhalb einer Testumgebung mit einer Abfolge von Eingangsbelegungen angeregt und die Reaktion aufgezeichnet. Die so erzielten Ergebnisse können mit einer entsprechenden Simulation der ursprünglichen SPICE-Modelle verglichen werden. Abbildung 2 zeigt als Ergebnisse der Timing-Simulation die Signalverläufe für das EXOR Gatter (links) und das FlipFlop (rechts). Kleinere Unterschiede entstehen aufgrund der Tatsache, dass der Signalwech-

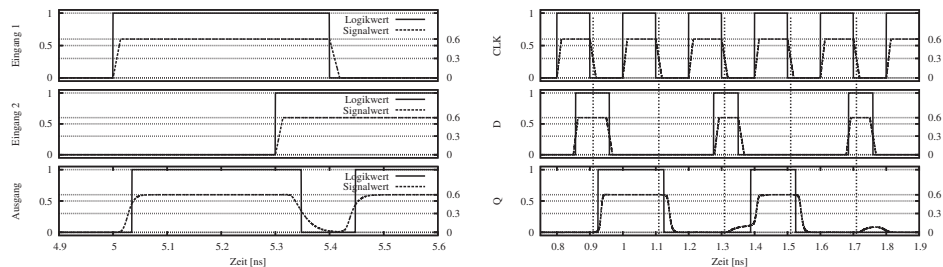


Abbildung 2: Vergleich des Zeitverhaltens der Analog- und Logiksimulation des EXOR Gatters (links) und des FlipFlops (rechts).

sel der Eingänge im SystemC-Modell unmittelbar erfolgt, während im SPICE-Modell ein zeitlicher Verlauf der Signalfanken verwendet wurde. Ein weiterer Faktor ist die Annahme einer FO-4 Belastung aller Gatter in SystemC, was im Fall des EXORs nicht gegeben ist. Abbildung 3 zeigt einen Vergleich zwischen der SPICE-basierten Energieabschätzung mit dem SystemC-Modell für das EXOR Gatter und das FlipFlop. Die Daten beziehen sich auf die Simulationen aus Abb. 2. Die Daten der SPICE-Simulation sind hier um einen Offset korrigiert worden, um den Verbrauch während des Simulationsanfangs zu kompensieren. Zu erkennen ist die gute Übereinstimmung der beiden Modelle. In Abb. 3 (rechts) entsteht nach dem Zeitpunkt 1.4 ns eine größere Differenz, was auf die Effekte eines Eingangswechsels nahe oder kurz nach der minimalen Setup-Zeit zurückzuführen ist. Diese Effekte sind in das SystemC-Modell noch nicht integriert, können aber nach weiteren umfangreiche SPICE-Simulationen leicht ergänzt werden.

Insgesamt kann festgestellt werden, dass unsere SystemC-Modelle eine effiziente Abstraktion realisieren, die den ursprünglichen Modellen sehr nahe kommt und eine sehr schnelle Simulation mit hohem Detailgrad ermöglichen. Das Zeitverhalten kann sehr genau nachgebildet werden. Durch eine Messwertinterpolation in der Nähe der minimalen Setup-Zeit des FlipFlops können sogar die dort auftretenden Verzögerungseffekte einfließen. Der dynamische Energieverbrauch ist ebenfalls integriert, liefert jedoch nur für unkritische Fälle gute Ergebnisse.

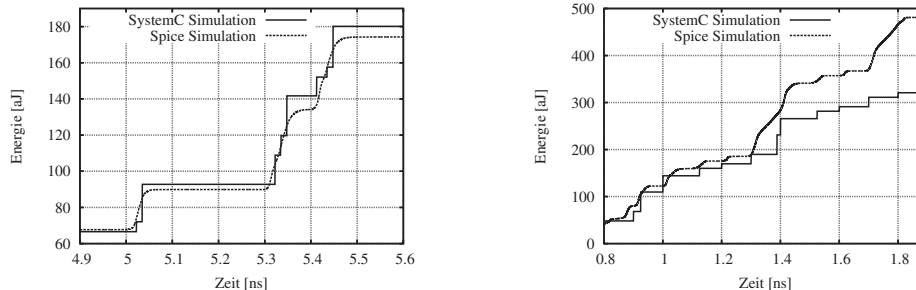


Abbildung 3: Energieverbrauch des EXOR Gatters (links) und des FlipFlops (rechts) im Vergleich zwischen SPICE und SystemC-Modell.

5 Zusammenfassung

Wir stellen SystemC-Modelle von CNFET-basierten Digitalschaltungen vor. Innerhalb der Modelle wird das Zeitverhalten und der Energieverbrauch der Schaltungen basierend auf SPICE-Simulationen abstrakt nachgebildet. Zur Validierung des Konzepts werden ein NAND Gatter, ein flankengesteuertes FlipFlop und ein aus NAND Gattern aufgebautes EXOR Gatter untersucht. Die durchgeführten Simulationen zeigen eine gute Übereinstimmung zwischen den Originalmodellen und den abstrakten SystemC-Modellen bei einer gleichzeitig um Größenordnungen höheren Simulationsgeschwindigkeit.

Unsere zukünftigen Arbeiten werden sich auf die Modellierung von Fehlern in CNFET-basierten Schaltungen und darauf aufbauend auf die Untersuchung größerer Schaltungen und deren aus den Fehlern resultierendem Verhalten konzentrieren.

Literatur

- [BKD04] Shekhar Borkar, Tanay Karnik, and Vivek De. Design and Reliability Challenges in Nanometer Technologies. In *Proceedings of the 41st Design Automation Conference*, page 75, 7–11 June 2004.
- [DCS04] C. Dwyer, Moky Cheung, and D.J. Sorin. Semi-empirical SPICE models for carbon nanotube FET logic. In *4th IEEE Conference on Nanotechnology, 2004*, pages 386–388, 16–19 August 2004.
- [RYP⁺02] Sami Rosenblatt, Yubal Yaish, Jiwoong Park, Jeff Gore, Vera Sazonova, and Paul McEuen. High Performance Electrolyte Gated Carbon Nanotube Transistors. *Nano Letters* 2,8, pages 869–872, 2002.
- [SL04] A. Schmid and Y. Leblebici. Robust circuit and system design methodologies for nanometer-scale devices and single-electron transistors. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 12(11):1156–1166, November 2004.
- [XCS03] S. Xanthos, A. Chatzigeorgiou, and G. Stephanides. Energy Estimation with SystemC: A Programmer’s Perspective. In *7th WSEAS International Conference on Circuits*, Corfu, Greece, July 2003.