

# Synchronisierungsprobleme von Schaltwerken in Wave Pipelining Architektur und ihre Auswirkungen auf die Wahl der Schaltungstechnik

Stephan Hermanns, Sorin Alexander Huss

Integrierte Schaltungen und Systeme  
Fachbereich Informatik  
Technische Universität Darmstadt  
64289 Darmstadt  
hermanns@iss.tu-darmstadt.de  
huss@iss.tu-darmstadt.de

Digitale Schaltwerke werden üblicherweise als synchron operierende Schaltungen ausgelegt, aber auch asynchrone Architekturen sind seit Langem bekannt. In diesem Beitrag wird ein neuer Ansatz zur Auslegung von Schaltwerken vorgestellt, der von der generischen Architektur einer Asynchronous Wave Pipeline (AWP) ausgeht, die ursprünglich für Hochleistungsdatenpfade konzipiert wurde. Ziel ist die Vereinigung der Vorteile beider Betriebsmodi, ohne jedoch deren Nachteile zu übernehmen. Die AWP Architektur ermöglicht es, die Berechnung des Nächsten Zustandes und des Ausgabe-werts mehrerer unabhängiger Schaltwerke gemeinsam durchzuführen. Die zugehörigen Schaltungen können zur gleichen Zeit mehrere Datenwellen beinhalten, die jeweils einem Schaltwerk zugeordnet sind. Steuerwerke, die derart aufgebaut sind, vereinen die Eigenschaft der geringen mittleren Latenz von Huffman Schaltungen mit einem niedrigen Leistungsverbrauch, ohne jedoch das Problem der Zustandskodierung aufzuweisen, das typischerweise bei asynchronen Schaltwerken vorliegt. Da jedoch die AWP Architektur auf der Basis des ‚bounded-wire/delay‘ Modells arbeitet, fehlt an ihren Interfaces die Eigenschaft der Elastizität, die bei ‚speed-independent‘ ausgelegten asynchronen Schaltwerken vorhanden ist, was zu Synchronisationsproblemen von AWP Schaltwerken beim Einsatz in einer ansonsten synchron operierenden Umgebung führt. Zunächst werden die Strukturen der bekannten sequentiellen Schaltungen eingeführt, anschließend wird die SRCMOS Schaltungstechnik vorgestellt, die die Basis für eine verlässliche Operation von Datenpfaden in AWP Technik bildet. Der Kern des Beitrags ist die formale Ableitung von Bedingungen, die für eine sichere Synchronisation von AWP Schaltwerken einzuhalten sind. Es wird anhand eines sequentiell arbeitenden 16x16 bit Multiplizierers gezeigt, dass AWP Schaltungen, die auf der Basis von SRCMOS aufgebaut sind, gleichzeitig mindestens zwei Datenwellen verarbeiten können, die unterschiedlichen Schaltwerken zugeordnet sind. Aufgrund des Einsatzes einer dedizierten Ausprägung der hazardfreien SRCMOS Schaltungstechnik gemeinsam mit Synchronisationsmechanismen kann gezeigt werden, dass ein racefreies asynchrones Schaltwerk realisierbar ist. Die korrekte Funktion des sequentiellen Multiplizierers, der intern einen Brent-Kung Addierer verwendet, und seine Leistungsfähigkeit werden mittels Simulation für unterschiedliche Betriebsparameter nachgewiesen.